

**2.4G SOC
HW2170**

数 据 手 册

- ☐ 产品简介
- ☒ 数据手册
- ☐ 产品规格

上海东软载波微电子有限公司

2016 年 2 月 4 日

产品订购信息

Part NO.	工作电压	FLASH	SRAM	Data FLASH	I/O	ADC	Timer	封装类型
HW2170FGRG	2.5V~3.6V	16K Bytes (8K Words)	1K Bytes	1K Bytes (512 Words)	12	12-bit×10Ch	8-bit×1 12-bit×3	SSOP24
HW2170FGRF	2.5V~3.6V	16K Bytes (8K Words)	1K Bytes	1K Bytes (512 Words)	12	12-bit×10Ch	8-bit×1 12-bit×3	SSOP20

地 址：中国上海市龙漕路 299 号天华信息科技园 2A 楼 5 层
邮 编：200235
E-mail: support@essemi.com
电 话：+86-21-60910333
传 真：+86-21-60914991
网 址：http://www.essemi.com

版权所有©

上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

修订历史

版本	修改日期	更改概要
V0.1	2015-11-05	初版
V0.2	2015-11-10	MCU 部分修改
V0.3	2015-11-11	MCU 部分修改，图表编号错误更正，目录更新
V0.4	2015-11-13	系统框图修改
V0.5	2015-12-4	增加 MCU 复位延迟的说明
V0.6	2016-1-7	增加 SSOP20 封装，更新管脚分配图、典型应用图、封装尺寸图
V0.7	2016-1-14	增加了 SSOP20 内部悬空管脚的说明 1.4.4，以及在 4.6 特殊功能寄存器说明上做了强调。同时说明了内部连线在特殊功能寄存器上的设置做了说明。
V0.8	2016-1-19	注释了 SSOP20 封装没有外接晶振功能。
V0.9	2016-2-3	删除 BOR3V 以上设置。
V1.0	2016-2-4	删除了 SSOP24 外部晶振以及和外部晶振相关的功能。

目 录

第 1 章	芯片简介	9
1.1	概述	9
1.2	系统框图	12
1.3	管脚分配图	13
1.3.1	SSOP24 封装	13
1.3.2	SSOP20 封装	13
1.4	管脚说明	14
1.4.1	管脚封装对照表	14
1.4.2	管脚复用说明	14
1.4.3	内部连线	16
1.4.4	SSOP20 封装芯片悬空脚注意事项	16
第 2 章	MCU—CPU 内核特性	17
2.1	CPU 内核概述	17
2.2	硬件乘法器	17
2.2.1	概述	17
2.2.2	硬件乘法器操作	17
2.3	硬件除法器	18
2.3.1	概述	18
2.3.2	硬件除法器操作	18
2.4	特殊功能寄存器	19
第 3 章	MCU—存储资源	23
3.1	概述	23
3.2	程序寻址空间映射	23
3.3	程序存储器	24
3.3.1	概述	24
3.3.2	程序计数器 (PC)	24
3.3.3	硬件堆栈	25
3.3.4	程序存储器查表读操作	25
3.4	可配置数据 FLASH 存储器	26
3.4.1	概述	26
3.4.2	数据 FLASH 页更新流程	26
3.4.3	操作参考例程	27
3.4.4	特殊功能寄存器	29
3.5	在线编程 ISP 和在线调试 ICD	30
3.6	数据存储器	30
3.6.1	概述	30
3.6.2	通用数据存储器	31
3.6.3	特殊功能寄存器	31
3.6.4	寻址方式	32
3.6.5	特殊功能寄存器	34
第 4 章	MCU—输入/输出端口	36

4.1	概述	36
4.2	结构框图	37
4.3	I/O 端口功能设置	38
4.3.1	I/O 端口输入/输出控制	38
4.3.2	I/O 端口弱上/下拉功能	38
4.3.3	I/O 端口模拟/数字类型选择功能	39
4.3.4	I/O 端口开漏输出	39
4.3.5	I/O 端口复用功能	39
4.4	端口中断	39
4.4.1	外部按键中断 (KINTx)	39
4.4.2	外部端口中断 (PINTx)	39
4.5	I/O 端口操作注意事项	40
4.6	特殊功能寄存器	40
第 5 章	MCU—特殊功能及操作特性	45
5.1	系统时钟与振荡器	45
5.1.1	概述	45
5.1.2	内部结构图	45
5.1.3	时钟源	45
5.2	看门狗定时器 (WDT)	47
5.2.1	概述	47
5.2.2	内部结构图	47
5.2.3	WDT 定时器	47
5.2.4	特殊功能寄存器	48
5.3	复位模块	49
5.3.1	概述	49
5.3.2	上电复位	49
5.3.3	掉电复位	49
5.3.4	看门狗定时器溢出复位	50
5.3.5	RST 指令软件复位	50
5.3.6	特殊功能寄存器	51
5.4	低功耗操作	53
5.4.1	MCU 低功耗模式	53
5.4.2	低功耗模式配置	53
5.4.3	IDLE 唤醒方式配置	53
5.4.4	唤醒时序图	54
5.4.5	特殊功能寄存器	55
第 6 章	MCU—外设	56
6.1	定时/计数器 (Timer/Counter) 模块	56
6.1.1	8 位定时/计数器 (T8N)	56
6.1.2	12 位带死区互补的增强型 PWM 时基定时器 (T11/T12/T13)	60
6.2	通用异步接收/发送器 (UART)	81
6.2.1	概述	81
6.2.2	内部结构图	81
6.2.3	波特率配置	82

6.2.4	传输数据格式	82
6.2.5	异步发送器	82
6.2.6	异步接收器	84
6.2.7	UART 使用注意事项	85
6.2.8	特殊功能寄存器	85
6.3	I2C 总线从动器 (I2CS)	87
6.3.1	概述	87
6.3.2	内部结构	87
6.3.3	I2CS 端口配置	88
6.3.4	通讯协议	88
6.3.5	I2C 操作	89
6.3.6	起始位 START 和停止位 STOP	89
6.3.7	数据传输和应答	90
6.3.8	数据传输格式参考	90
6.3.9	特殊功能寄存器	91
6.4	模拟比较器 (ACP)	95
6.4.1	概述	95
6.4.2	模拟比较器 (ACP _x)	95
6.4.3	中断和唤醒	96
6.4.4	高精度参考电压模块 (VREF)	96
6.4.5	特殊功能寄存器	96
6.5	模/数转换器 (ADC)	100
6.5.1	概述	100
6.5.2	内部结构图	100
6.5.3	ADC 配置	101
6.5.4	ADC 转换步骤	101
6.5.5	AD 时序特征示意图	102
6.5.6	参考例程	103
6.5.7	特殊功能寄存器	103
6.6	低电压检测模块 (LVD)	107
6.6.1	概述	107
6.6.2	LVD 操作	107
6.6.3	特殊功能寄存器	108
第 7 章	MCU—中断处理	109
7.1	概述	109
7.2	中断控制结构框图	109
7.3	中断模式选择	110
7.3.1	默认中断模式	111
7.3.2	向量中断模式	112
7.4	中断现场保护	115
7.5	中断操作	115
7.5.1	外部中断	116
7.5.2	外部按键中断	116
7.5.3	ADC 中断	116

7.5.4	T8N 溢出中断.....	116
7.5.5	T1x(T11/T12/T13)匹配中断	117
7.5.6	T1x(T11/T12/T13)周期中断	117
7.5.7	UART 中断.....	117
7.5.8	I2CS 中断.....	117
7.5.9	模拟比较器 ACP 中断	118
7.5.10	LVD 中断	118
7.5.11	中断操作注意事项.....	118
7.6	特殊功能寄存器.....	118
第 8 章	MCU—芯片配置字	126
第 9 章	MCU—指令集.....	128
9.1.1	概述.....	128
9.1.2	寄存器操作指令.....	128
9.1.3	程序控制指令	128
9.1.4	算术/逻辑运算指令	129
第 10 章	MCU—特殊功能寄存器总表.....	132
第 11 章	RF 收发器—工作模式控制	136
11.1	POWER DOWN 模式	136
11.2	SLEEP 模式.....	136
11.3	IDLE 模式	137
11.4	TX 模式.....	137
11.5	RX 模式	137
第 12 章	RF 收发器—帧结构	138
12.1	PTX 发送数据帧结构.....	138
12.2	PRX 发送 ACK 帧结构.....	139
第 13 章	RF 收发器—链路控制方式	140
13.1	硬件链路控制方式	140
13.2	软件链路控制方式	140
第 14 章	RF 收发器—多 PIPE 逻辑通道.....	141
第 15 章	RF 收发器—自动响应 ACK 与自动重传 ART	142
15.1	ACK 不带 ACK PAYLOAD.....	142
15.2	ACK 带 ACK PAYLOAD	142
第 16 章	RF 收发器—数据与控制接口	143
16.1	FIFO	143
16.2	中断	144
16.2.1	硬件链路控制中断.....	144
16.2.2	软件链路控制中断	148
16.3	SPI 通信接口	148
16.3.1	SPI 帧格式	148
16.3.2	寄存器访问时序.....	149
16.3.3	FIFO 访问时序	149
16.3.4	SPI 时序参数.....	150
第 17 章	RF 收发器—其它功能与设置	151
17.1	RF 收发器复位.....	151

17.2	频点设置	151
17.3	自动频偏校正(AFC)	151
17.4	软件频偏校正	151
17.5	前导码指示	151
17.6	RSSI 功能	152
17.7	载波检测指示(Carrier Detect)功能	152
17.8	FEC、CRC、SCRAMBLE 功能	152
第 18 章	RF 收发器—寄存器	154
18.1	寄存器列表	154
18.2	寄存器说明	155
第 19 章	RF 收发器—术语解释	171
第 20 章	封装尺寸图	172
20.1	SSOP24 封装尺寸图	172
20.2	SSOP20 封装尺寸图	172
第 21 章	典型应用原理图	173
21.1	SSOP24 封装典型应用原理图	173
21.2	SSOP20 封装典型应用原理图	173
21.3	设计应用注意事项	174
第 22 章	电气特性	175
22.1	芯片操作条件	175
22.2	MCU 电气特性	175
22.2.1	功耗特性参数表	175
22.2.2	电平特性	176
22.2.3	芯片输出端口特性表	176
22.2.4	系统时钟要求表	176
22.2.5	ADC 特性表	177
22.2.6	ADC 转换时间对照表	177
22.2.7	参考电压特性表	178
22.2.8	内部 16MHz 时钟校准性表	178
22.3	RF 收发器电气特性	178
22.3.1	功耗参数	178
22.3.2	通讯基本参数	179
22.3.3	发射机参数	179
22.3.4	接收机参数	179
22.3.5	振荡器参数	179
22.3.6	振荡器参数	180

第 1 章 芯片简介

1.1 概述

HW2170 是一款低成本，高集成度的 2.4GHZ ISM 频段无线 SOC 芯片，可应用于无线 LED 调光、无线航模、智能家居、以及其它无线数据传输和远程控制等领域。片上集成高性能、低功耗的 RF 收发器和 MCU。

片上 RF 收发器的外围电路简单，只需少数外围被动器件即可构成完整的 2.4G 无线收发系统。RF 收发器发射功率最大可以到 8dBm，接收灵敏度可达到 -96dBm@250Kbps、-91dBm@1Mbps。

片上 MCU 具有低功耗特性，16KB Flash 程序存储空间，其中的 1KB Flash 可配置为数据存储空间。

芯片特性：

◆ 工作条件

- 工作电压范围：2.5V ~ 3.6V
- 工作温度范围：-40 ~ 85℃

◆ 封装形式

- SSOP24
- SSOP20

MCU 特性：

◆ 内核

- HR7P RISC CPU 内核
- 79 条精简指令
- 系统时钟工作频率最高支持 20MHz （本芯片使用 16MHz 内部振荡器）
- 指令周期为 2 个系统时钟周期

◆ 存储资源

- 16K Bytes (8K Words) FLASH 程序存储器，其中 1K Bytes (512 Words) 可配置为数据 FLASH
- 8 级程序堆栈
- 1K Bytes (512 Words) 可配置数据 FLASH 存储器
 - 最大可配置为 2 页，每页 512 Bytes (256 Words)
 - 支持查表读，页擦除和单地址编程
 - 擦写时，支持定时器模块正常工作
 - 擦写时，不支持中断处理
- 1K Bytes SRAM 数据存储器
- 程序存储器支持直接寻址、相对寻址和查表读操作
- 数据存储器支持直接寻址、GPR 特殊寻址和间接寻址

◆ 编程及调试接口

- 支持在线编程（ISP）接口
- 支持在线调试（ICD）功能

- 支持编程代码加密保护
- ◆ I/O 端口
 - 最多支持 17 个 I/O，外部可用 12 个 I/O
 - PA 端口 6 个 IO (PA0~1、PA4~PA7)
 - PB 端口 4 个 (PB0~PB3)
 - PC 端口 2 个 (PC0~PC1)
 - 内连 I/O 口 5 个 (PA3、PB4~PB7)
 - 支持独立的可配置内部弱上/下拉输入端口
 - 支持独立的可配置开漏输出端口
- ◆ 复位及时钟
 - 内嵌上电复位电路 POR
 - 内嵌掉电复位电路 BOR
 - BOR 复位电压档位，2.2V，2.8V（常温下校准到±0.2V 以内）
 - 支持独立硬件看门狗定时器
 - 支持指令 RST 复位
 - 支持内部高频 16MHz RC 振荡时钟源
 - 出厂前校准精度为±2%（常温 25℃）
- ◆ 功耗特性
 - IDLE 电流
 - 5uA@3.3V，25℃，典型值
 - 动态电流
 - 2mA@内部 16MHz，3.3V，25℃，典型值
- ◆ 外设
 - 8 位定时器 T8N
 - 定时器模式（计数时钟为系统时钟 2 分频）
 - 计数器模式（外部计数时钟输入或者内部低频 WDT_RC 时钟）
 - 支持可配置预分频器
 - 支持中断产生
 - 12 位时基定时器 T11/T12/T13
 - 定时器模式（计数时钟频率为系统时钟 Fosc）
 - 异步计数模式（外部时钟，未使用）
 - 支持可配置预分频器及可配置后分频器
 - 支持捕捉模式
 - 支持单脉冲发射模式
 - 支持 2 组带死区互补输出的 PWM
 - 支持 PWM 自动重启
 - 支持中断产生
 - 支持异步计数唤醒（外部时钟，未使用）
 - 一个高精度参考电压源
 - 支持四路独立的参考电压 VREF1~4，分别可配置多种不同电压档位
 - 出厂前，在常温下已经校准在 2.5V，校准精度在±3%以内

➤ 模拟数字转换器 ADC

- 支持 12 位数字转换精度
- 支持外部 10 通道模拟输入端
- 支持可选择参考源
- 支持内部参考电压
- 支持中断产生

RF 收发器特性:

◆ 通讯特性

- 使用国际通用的 2.4GHz ISM 工作频段 2402MHz~2483MHz
- 支持 GFSK 调制方式
- 支持 250Kbps/1Mbps 两种数据速率
- 支持数字 RSSI 测量
- 支持 4 PIPE 多逻辑通道传输

◆ 接收机灵敏度 (0.1%BER)

- -91dBm@1Mbps
- -96dBm@250Kbps

◆ 发射机输出功率

- 支持发射机输出功率手动或自动控制: -35dBm ~ +8dBm

◆ 功耗特性

- 发射机输出功率在 0dBm 时, 芯片功耗约为 19mA
- 接收机工作时, 芯片功耗约为 22mA
- IDLE 模式电流约为 2.0mA
- SLEEP 模式电流约为 15uA
- POWER DOWN 模式下电流约为 1.5uA

1.2 系统框图

HW2170 的整体系统框图如下图所示：

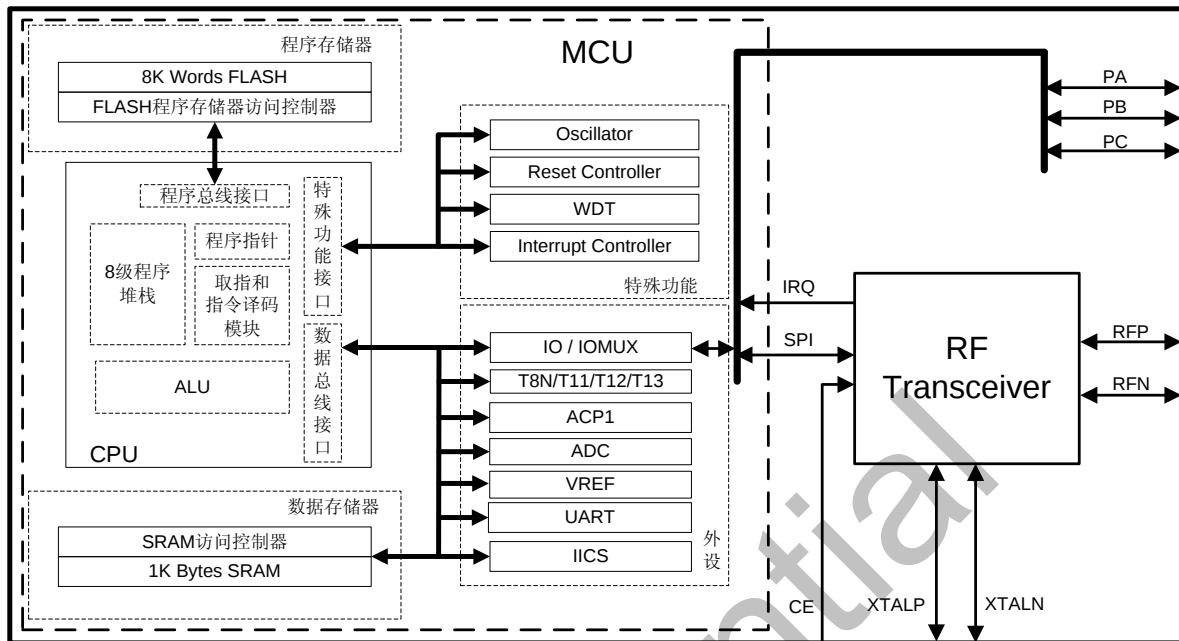


图 1-1 系统内部结构框图

1.3 管脚分配图

1.3.1 SSOP24 封装

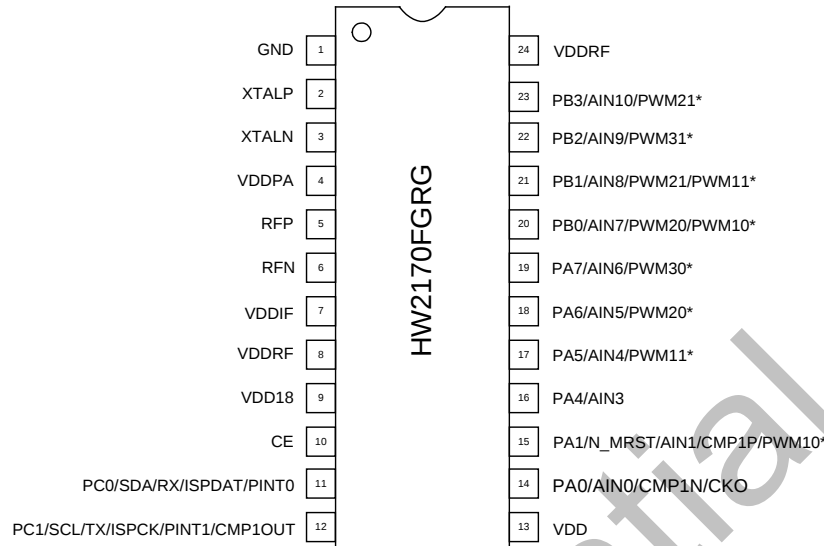


图 1-2 SSOP24 封装顶视图

注：带*号的管脚为互补 PWM 管脚，具体的配对使用情况，请仔细阅读 1.4.2 管脚复用说明。

1.3.2 SSOP20 封装

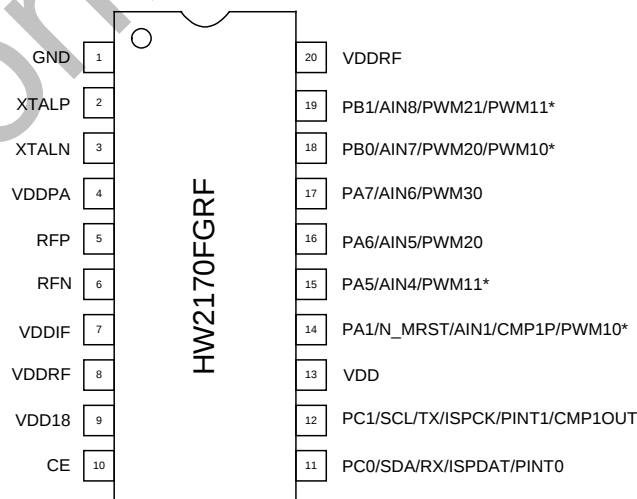


图 1-3 SSOP20 封装顶视图

注：1.带*号的管脚为互补 PWM 管脚，具体的配对使用情况，请仔细阅读 1.4.2 的管脚复用说明。

1.4 管脚说明

1.4.1 管脚封装对照表

管脚名	管脚序号	
	24pin	20pin
GND	1	1
XTALP	2	2
XTALN	3	3
VDDPA	4	4
RFP	5	5
RFN	6	6
VDDIF	7	7
VDDRF	8	8
VDD18	9	9
CE	10	10
PC0/SDA/RX/ISPDAT/PINT0	11	11
PC1/SCL/TX/ISPCK/PINT1/CMP1OUT	12	12
VDD	13	13
PA0/AIN0/CMP1N/CKO	14	/
PA1/N_MRST /AIN1/CMP1P/PWM10*	15	14
PA4/AIN3	16	/
PA5/AIN4/PWM11*	17	15
PA6/AIN5/PWM20	18	16
PA7/AIN6/PWM30	19	17
PB0/AIN7/PWM20/PWM10*	20	18
PB1/AIN8/PWM21/PWM11*	21	19
PB2/AIN9/PWM31*	22	/
PB3/AIN10/PWM21*	23	/
VDDRF	24	20

表 1-1 管脚封装对照表

1.4.2 管脚复用说明

下面给出复用管脚的具体复用情况：

管脚名	管脚复用	输入类型	输出类型	A/D	端口说明	备注
PC0/SDA/RX /ISPDAT/PINT0	PC0	TTL	CMOS	D	通用 I/O	支持弱上、下拉/开漏输出
	SDA	TTL	CMOS	D	I ² C 数据输入/输出	
	RX	TTL	—	D	UART 接收输入	
	ISPDAT	TTL	CMOS	D	ISP 串行编程/调试数据输入输出	

管脚名	管脚复用	输入类型	输出类型	A/D	端口说明	备注
	PINT0	TTL	—	D	外部端口中断 0 输入	
PC1/SCL/TX/ISPCK /PINT1/CMP1OUT	PC1	TTL	CMOS	D	通用 I/O	支持弱上、下拉/ 开漏输出
	SCL	TTL	—	D	I ² C 时钟输入	
	TX	—	CMOS	D	UART 发送输出	
	ISPCK	TTL	—	D	ISP 串行编程/调试时钟输入	
	PINT1	TTL	—	D	外部端口中断 1 输入	
	CMP1OUT	—	CMOS	D	模拟比较器 1 输出	
PA0/AIN0/CMP1N/ CKO	PA0	TTL	CMOS	D	通用 I/O	支持大电流/ 弱上、下拉/ 开漏输出
	AIN0	—	—	A	ADC 模拟通道 0 输入	
	CMP1N	—	—	A	比较器 1 负向输入	
	CKO	—	CMOS	D	Fosc/16 参考时钟输出	
PA1/AIN1/CMP1P/ PWM10*	PA1	TTL	CMOS	D	通用 I/O	支持大电流/ 弱上、下拉/ 开漏输出
	N_MRST	TTL	CMOS	D	外部复位	
	AIN1	—	—	A	ADC 模拟通道 1 输入	
	CMP1P	—	—	A	比较器 1 正向输入	
	PWM10	—	CMOS	D	T11 扩展脉宽调制输出	
PA4/AIN3	PA4	TTL	CMOS	D	通用 I/O	支持大电流/ 弱上、下拉/ 开漏输出
	AIN3	—	—	A	ADC 模拟通道 3 输入	
PA5/AIN4/PWM11*	PA5	TTL	CMOS	D	通用 I/O	支持大电流/ 弱上、下拉/ 开漏输出
	AIN4	—	—	A	ADC 模拟通道 4 输入	
	PWM11	—	CMOS	D	T11 扩展互补脉宽调制输出	
PA6/AIN5/PWM20*	PA6	TTL	CMOS	D	通用 I/O	支持大电流/ 弱上、下拉/ 开漏输出
	AIN5	—	—	A	ADC 模拟通道 5 输入	
	PWM20	—	CMOS	D	T12 扩展脉宽调制输出	
PA7/AIN6/PWM30*	PA7	TTL	CMOS	D	通用 I/O	支持大电流/ 弱上、下拉/ 开漏输出
	AIN6	—	—	A	ADC 模拟通道 6 输入	
	PWM30	—	CMOS	D	T13 扩展脉宽调制输出	
PB0/AIN7/PWM20/ PWM10*	PB0	TTL	CMOS	D	通用 I/O	支持弱上、下拉/ 开漏输出
	AIN7	—	—	A	ADC 模拟通道 7 输入	
	PWM20	—	CMOS	D	T12 扩展脉宽调制输出	
	PWM10	—	CMOS	D	T11 扩展脉宽调制输出	
PB1/AIN8/PWM21/ PWM11*	PB1	TTL	CMOS	D	通用 I/O	支持弱上、下拉/ 开漏输出
	AIN8	—	—	A	ADC 模拟通道 8 输入	
	PWM21	—	CMOS	D	T12 扩展互补脉宽调制输出	
	PWM11	—	CMOS	D	T11 扩展互补脉宽调制输出	
PB2/AIN9/PWM31/ T12CI*	PB2	TTL	CMOS	D	通用 I/O	支持弱上、下拉/ 开漏输出
	AIN9	—	—	A	ADC 模拟通道 9 输入	
	PWM31	—	CMOS	D	T13 扩展互补脉宽调制输出	
	T12CI	TTL	—	D	T12 捕捉输入	

管脚名	管脚复用	输入类型	输出类型	A/D	端口说明	备注
PB3/AIN10/PWM21 *	PB3	TTL	CMOS	D	通用 I/O	支持弱上、下拉/开漏输出
	AIN10	—	—	A	ADC 模拟通道 10 输入	
	PWM21	—	CMOS	D	T12 扩展互补脉宽调制输出	

表 1-2 管脚复用说明表

注 1: A = 模拟端口, D = 数字端口, P = 电源/地
 注 2: N_MRST 表示低电平复位有效;
 注 3: 所有通用 I/O 端口均为 TTL 施密特输入和 CMOS 输出驱动;
 注 4: PWM 分组配对情况:
 PB3/PWM21 和 PA6/ PWM20 为一组;
 PB2/ PWM31 和 PA7/ PWM30 为一组;
 PA1/ PWM10 和 PA5/ PWM11 为一组;
 PB0/ PWM20/PWM10 和 PB1/ PWM21/PWM11 为一组

1.4.3 内部连线

MCU 和 RF 收发器的 SPI 接口内部连接, 二者连接关系如下表所示:

序号	RF 收发器(I/O)	MCU(I/O)	说明
1	CSN(I)	PA3(O)	RF 收发器 SPI 的片选输入口 (低有效), 内部与 MCU 的输出口 PA3 相连
2	SCK(I)	PB7(O)	RF 收发器 SPI 的时钟输入口, 内部与 MCU 的输出口 PB7 相连
3	MOSI(I)	PB6(O)	RF 收发器 SPI 的输出口, 内部与 MCU 的输出口 PB6 相连
4	MISO(O)	PB5(I)	RF 收发器 SPI 的输出口, 内部与 MCU 的输入口 PB5 相连
5	IRQ(O)	PB4(I)	RF 收发器中断输出口 (有效电平可通过寄存器 PKT_HINT_PRIORITY 配置), 内部与 MCU 的中断输入口 PB4/KIN0 相连

表 1-3 芯片内部连线表

1.4.4 SSOP20 封装芯片悬空脚注意事项

对于 SSOP20 封装的芯片, 需要注意内部悬空脚在初始化编程时, 应该设置为输出低电平, 以保证芯片的正常工作。悬空脚的说明如下表所示:

序号	悬空管脚名	设置状态	特殊寄存器<bit>
1	PA0	输出低电平	PAT<0>
2	PA4	输出低电平	PAT<4>
3	PB2	输出低电平	PBT<2>
4	PB3	输出低电平	PBT<3>

表 1-4 SSOP20 封装芯片悬空管脚说明表

第 2 章 MCU—CPU 内核特性

2.1 CPU 内核概述

- ◆ 内核特性
 - 采用高性能 HR7P RISC CPU 内核，79 条精简指令集
 - 采用 2T 架构，每个机器周期包括两个系统时钟周期
 - 系统时钟最高支持 20MHz，最小指令周期 100ns
 - 支持中断优先级和中断向量表
 - 支持硬件乘法器和除法器

2.2 硬件乘法器

2.2.1 概述

MCU 指令集不包含乘法指令，内部集成独立的硬件乘法器，通过读写相应寄存器进行操作。

- ◆ 主要功能组件
 - 8 位乘数 A 寄存器（MULA，只可写）
 - 8 位乘数 B 寄存器（MULB，只可写）
 - 16 位乘积寄存器（MULL/MULH，只可读）

2.2.2 硬件乘法器操作

硬件乘法器完成 8 位乘数 MULA 与 8 位乘数 MULB 的相乘操作： $[8 \text{ 位乘数 A}] \times [8 \text{ 位乘数 B}] = 16 \text{ 位乘积}$ 。

在 MULA 和 MULB 写入完成后的 1 个机器周期内，将 16 位结果高、低 8 位分别存储于 2 个寄存器 MULH 和 MULL。

MULA 和 MULL 共用一个寄存器地址，MULB 和 MULH 共用一个寄存器地址。乘数 A/B 设置完成后，下一条指令即可读取乘积结果。

应用实例：硬件乘法器操作应用程序

```
.....
MOVI    mul_operand_a
MOVA    MULA           ; 写乘数 A
MOVI    mul_operand_b
MOVA    MULB           ; 写乘数 B
MOV     MULL,0         ; 读结果低 8 位
... ..
MOV     MULH,0         ; 读结果高 8 位
... ..
```

2.3 硬件除法器

2.3.1 概述

芯片指令集不包含除法指令，内部集成独立的硬件除法器，通过读写相应寄存器进行操作。

◆ 主要功能组件

- 16 位被除数寄存器 (DIVEH/DIVEL, 只可写)
- 8 位除数寄存器 (DIVS, 只可写)
- 16 位商寄存器 (DIVEL/DIVEH, 只可读)
- 8 位余数寄存器 (DIVR, 只可读)

2.3.2 硬件除法器操作

硬件除法器完成 16 位被除数 DIVEL、DIVEH 与 8 位除数 DIVS 的除法操作： $[16 \text{ 位被除数}] \div [8 \text{ 位除数}] = 16 \text{ 位商} \dots\dots 8 \text{ 位余数}$ 。

DIVEL 和 DIVQL 共用一个寄存器地址，DIVEH 和 DIVQH 共用一个寄存器地址，DIVS 和 DIVR 共用一个寄存器地址。被除数和除数设置完成后，需要插入 2 条 NOP 指令，才能读取商和余数。若除数为“0”，则商为 0xFFFF，余数为 0xFF，表示溢出。

应用实例：硬件除法器操作应用程序

```
.....
MOVI    div_operand_divel
MOVA    DIVEL                ; 写被除数低 8 位
MOVI    div_operand_diveh
MOVA    DIVEH                ; 写被除数高 8 位
MOVI    mul_operand_divs
MOVA    DIVS                 ; 写除数
NOP
NOP
MOV     DIVQL,0              ; 读结果低 8 位
... ..
MOV     DIVQH,0              ; 读结果高 8 位
... ..
MOV     DIVR,0               ; 读商
... ..
```

2.4 特殊功能寄存器

CPU 相关寄存器包括 13-bit 程序计数器寄存器 PCRL/PCRH，程序状态字寄存器 PSW，累加器 A 寄存器 AREG，乘数寄存器 MULA、MULB 和乘积寄存器 MULL、MULH，被除数寄存器 DIVEL/DIVEH、除数寄存器 DIVS、商寄存器 DIVQL/DIVQH 和余数寄存器 DIVR。其中程序状态寄存器 PSW 用于存放各个状态标志位，包括程序出栈溢出、负数标志位、溢出标志位、零标志位、半进位/半借位标志位，以及全进位或全借位标志位等。

PSW: 程序状态字寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	UF	OF	N	OV	Z	DC	C
R/W	—	R	R	R/W	R/W	R/W	R/W	R/W
RESET	x	0	0	x	x	x	x	x

- Bit 7 未使用
- Bit 6 UF: 程序出栈溢出标志位
0: 程序出栈未溢出
1: 程序出栈溢出
- Bit 5 OF: 程序压栈溢出标志位
0: 程序压栈未溢出
1: 程序压栈溢出
- Bit 4 N: 负数标志位
0: 有符号算术或逻辑运算结果为正数
1: 结果为负数
- Bit 3 OV: 溢出标志位
0: 有符号算术运算未发生溢出
1: 发生溢出
- Bit 2 Z: 零标志位
0: 算术或逻辑运算的结果不为零
1: 算术或逻辑运算的结果为零
- Bit 1 DC: 半进位或半借位标志位
0: 低四位无进位或低四位有借位
1: 低四位有进位或低四位无借位
- Bit 0 C: 全进位或全借位标志位
0: 无进位或有借位
1: 有进位或无借位

注 1: 仅部分指令可对 PSW 寄存器进行写操作，包括 JDEC、JINC、SWAP、BCC、BSS、BTT、MOVA 和 SETR。其它指令对 PSW 寄存器的写操作，只根据指令的运行结果影响相应状态标志位。

注 2: OF 和 UF 位为只读标志位，仅上电复位、复位指令和 N_MRST 复位会将其清零，其它复位不影响这两个标志位。

PCRL: 程序计数器寄存器低 8 位

Bit	7	6	5	4	3	2	1	0
Name	PCRL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PCRL<7:0>: 程序计数器寄存器低 8 位

PCRH: 程序计数器寄存器高 5 位

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	PCRH<4:0>				
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~5 未使用

Bit 4~0 PCRH<4:0>: 程序计数器寄存器高 5 位

AREG: 累加器 A 寄存器

Bit	7	6	5	4	3	2	1	0
Name	AREG<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 AREG<7:0>: 累加器的值

MULA: 乘数 A 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MULA<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	x	x	x	x	x	x	x	x

Bit 7~0 MULA<7:0>: 乘数 A

MULB: 乘数 B 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MULB<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	x	x	x	x	x	x	x	x

Bit 7~0 MULB<7:0>: 乘数 B

MULL: 乘积低 8 位寄存器

Bit	7	6	5	4	3	2	1	0
Name	MULL<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 MULL<7:0>: 乘积低 8 位

MULH: 乘积高 8 位寄存器

Bit	7	6	5	4	3	2	1	0
Name	MULH<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 MUL<15:8>: 乘积高 8 位

DIVEL: 被除数低 8 位寄存器

Bit	7	6	5	4	3	2	1	0
Name	DIVEL<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	x	x	x	x	x	x	x	x

Bit 7~0 DIVEL<7:0>: 被除数低 8 位

DIVEH: 被除数高 8 位寄存器

Bit	7	6	5	4	3	2	1	0
Name	DIVEH<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	x	x	x	x	x	x	x	x

Bit 7~0 DIVEH<7:0>: 被除数高 8 位

DIVS: 除数寄存器

Bit	7	6	5	4	3	2	1	0
Name	DIVS<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	x	x	x	x	x	x	x	x

Bit 7~0 DIVS<7:0>: 除数

DIVQL: 商低 8 位寄存器

Bit	7	6	5	4	3	2	1	0
Name	DIVQL<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 DIVQL<7:0>: 商低 8 位

DIVQH: 商高 8 位寄存器

Bit	7	6	5	4	3	2	1	0
Name	DIVQH<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 DIVQH<7:0>: 商高 8 位

DIVR: 余数寄存器								
Bit	7	6	5	4	3	2	1	0
Name	DIVR<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	X	X	X	X	X	X	X	X

Bit 7~0 DIVR<7:0>: 余数

Confidential

第 3 章 MCU—存储资源

3.1 概述

MCU 采用哈佛总线架构，程序寻址空间和数据寻址空间相互独立。

片内存储器资源包括：

- ◆ 16K 字节 (8K 字) FLASH 程序存储器
- ◆ 可配置的 1K 字节 (512 字) FLASH 数据存储区
- ◆ 1K 字节 SRAM 数据存储器

其中 FLASH 程序存储器和 FLASH 数据存储器被映射到程序寻址空间，SRAM 数据存储器被映射到数据寻址空间。

3.2 程序寻址空间映射

程序寻址空间包括 2 个部分：

- ◆ 16K 字节 (8K 字) FLASH 程序存储器：存储用户程序，支持 PC 和查表读操作
- ◆ 1K 字节 (512 字) FLASH 数据存储区：存储用户数据，支持查表读操作、页擦除和单地址编程

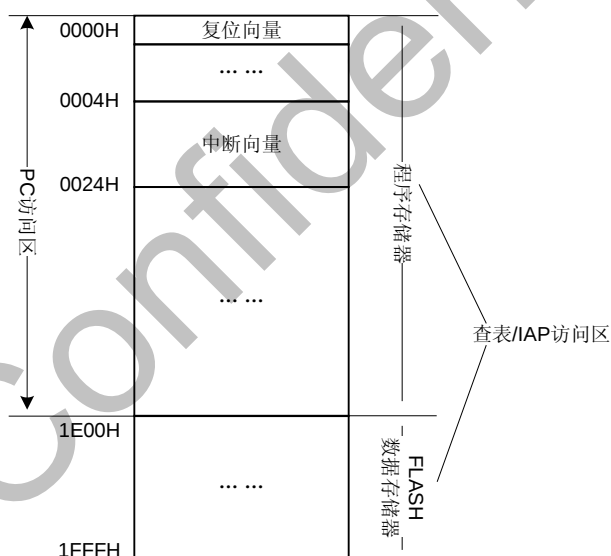


图 3-1 程序寻址空间映射图

3.3 程序存储器

3.3.1 概述

FLASH 程序存储器用于存储用户程序。由于 MCU 指令位宽为 16 位（2 个字节），因此 16K 字节 FLASH 程序存储器被映射到程序寻址空间的 8K 地址空间 0000H~1FFFH，每个访问地址对应于一个 16 位宽（2 个字节）的存储单元。通过 13 位程序计数器 PC 进行程序寻址访问。

3.3.2 程序计数器（PC）

程序计数器中存放的是要执行的下一条指令的地址。CPU 运行时，PC 在每个指令周期后都会自动加 1，除非 PC 的值被指令或中断异常改写。13 位程序计数器 PC<12:0>，可寻址 8K 程序存储空间 0000H ~ 1FFFH，超出地址范围会导致 PC 循环（又从 0000H 开始访问）。程序计数器 PC 的低 8 位 PC<7:0>可通过 PCRL 直接读写，而 PC 高 5 位不能直接读写，只能通过 PCRH 寄存器来间接赋值（在执行 RCALL、CALL、GOTO 等指令前，需先对 PCRH 寄存器赋值）。复位时，PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 的值。

当进行 FLASH 数据存储器进行擦写时，程序计数器 PC 暂停更新。

各种指令对 PC 的影响：

1. 通过指令直接修改 PC 值时，对 PCRL 为目标寄存器的操作可直接修改 PC<7:0>，即 PC<7:0>=PCRL<7:0>；而操作 PC<7:0>的同时也会执行 PC<12:8>=PCRH<4:0>，因此，修改 PC 时，应先修改 PCRH<4:0>，再修改 PCRL<7:0>。
2. 执行 RCALL 指令时，PC<7:0>为寄存器 R 中的值；而 PC<12:8>=PCRH<4:0>。
3. 执行 CALL、GOTO 指令时，PC<12:0>低 11 位为指令中 11 位立即数，而 PC<12>=PCRH<4>。
4. 执行 LCALL 指令时，该指令为双字指令共有 16 位立即数（操作数）。PC<12:0>被修改为该 16 位立即数的值的低 13 位；同时 PCRH<4:0>被修改为 I<12:8>的值。
5. 执行 AJMP 指令时，该指令为双字指令共有 16 位立即数（操作数）。PC<12:0> 被修改为该 16 位立即数的值的低 13 位，同时 PCRH<4:0>修改为 I<12:8>的值。
6. 执行 PAGE 指令时，PCRH<4:3>的值将被该指令的立即数 I<1:0>替换。
7. 执行其他指令时，PC 值自动加 1。

应用实例：以 PCRL 为目标寄存器的指令应用程序

```
.....  
MOVI    pageaddr  
MOVA    PCRH        ; 设置表格页面地址  
MOVI    tableaddr    ; 设置偏移量给 A 寄存器  
CALL    TABLE      ; 调用子程序方式查表  
.....
```

TABLE:

```
ADD     PCRL, F      ; PC 加上偏移量，指向访问的地址  
RETIA   0x01  
RETIA   0x02
```

RETIA 0x03
.....

3.3.3 硬件堆栈

MCU 内有 8 级硬件堆栈，堆栈位宽与 PC 位宽相等，用于 PC 的压栈和出栈。执行 CALL、LCALL 和 RCALL 指令或中断被响应后，PC 自动压栈保护；当执行 RET、RETIA 或 RETIE 指令时，堆栈会将最近一次压栈的值恢复至 PC。

8 级硬件堆栈只支持 8 级缓冲操作，即硬件堆栈只保存最近的 8 次压栈值，对于连续超过 8 次的压栈操作，第 9 次的压栈数据会覆盖第 1 次压栈的数据，使得第 1 次的压栈数据丢失。同样，超过 8 次的连续出栈，第 9 次出栈操作，可能使得程序流程不可控。MCU 复位后，堆栈指针将重新指向堆栈顶部。

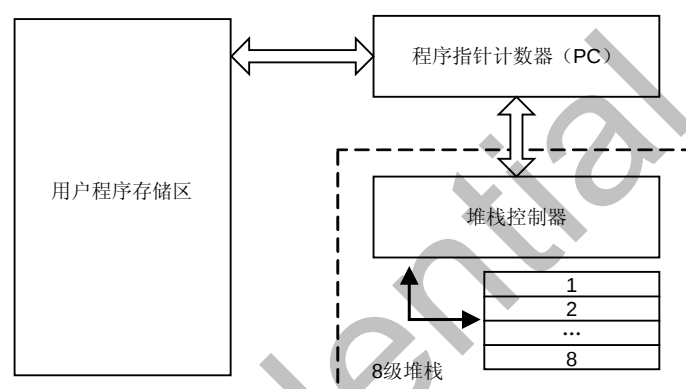


图 3-2 堆栈示意图

3.3.4 程序存储器查表读操作

本芯片的 FLASH 程序存储器仅支持查表读操作。芯片配置字 FREN (CFG_WD<9>) 使能时，通过查表读指令将 FRA (FRAH, FRAL) 所指向的程序存储器地址中的字 (Word) 读入 ROMD (ROMDH, ROMDL) 中。

本芯片查表写指令保留未用（执行时仅影响 FRA 寄存器）。

应用例程：程序存储器查表读

```

MOVI    0x05                ; 读取程序存储器 0105H
MOVA    FRAL
MOVI    0x01
MOVA    FRAH
TBR
MOV     ROMDH, 0
... ..
MOV     ROMDL, 0
... ..
    
```

3.4 可配置数据FLASH存储器

3.4.1 概述

- ◆ 程序区可配置 1K Bytes (512 Words) 数据 FLASH 存储区
- ◆ 地址范围为 1E00H~1FFFH，共分为 2 页，每页 512 Bytes (256 Words)
 - 支持数据 FLASH 存储器读/写
 - 支持查表指令读取数据
 - 支持页擦除，擦除时间至少为 2ms
 - 支持单地址编程，编程时间至少为 20us
 - 擦写时，支持定时器模块正常工作，但不支持中断处理
- ◆ 数据 FLASH 存储器功能组件
 - 芯片配置字 FREN (CFG_WD<9>) 为数据 FLASH 存储器的读/写使能位
 - 芯片配置字 DPAGES<1:0> (CFG_WD<14:13>) 为数据 FLASH 存储器页面选择位
 - 16 位查表地址寄存器 (FRAL, FRAH)
 - 16 位查表数据寄存器 (ROMDL, ROMDH)
 - 15 位查表控制寄存器 (ROMCL, ROMCH)

芯片配置字	数据 FLASH 存储器页面	存储容量 (Words)	数据 FLASH 存储器地址范围
DPAGES<1:0>=00	1-2	512	1E00 _H ~1FFF _H
DPAGES<1:0>=01	1	256	1F00 _H ~1FFF _H
DPAGES<1:0>=1x	—	—	—

表 3-1 数据 FLASH 存储器存储表

注 1: 当用户擦除程序存储区时，数据 FLASH 存储器空间也全部擦除；

注 2: 在进行数据 FLASH 存储器擦写前，先关闭 WDT 定时功能，避免 MCU 异常复位；

注 3: 页更新前，可考虑进行数据备份；

注 4: DPAGES<1:0>=00，数据 FLASH 存储器空间为 1E00_H~1FFF_H，程序存储器访问空间为 0000_H~1DFF_H；

DPAGES<1:0>=01，数据 FLASH 存储器空间为 1F00_H~1FFF_H，程序存储器访问空间为 0000_H~1EFF_H；

DPAGES<1:0>=1x，无数据 FLASH 存储空间，程序存储器访问空间为 0000_H~1FFF_H；

3.4.2 数据FLASH页更新流程

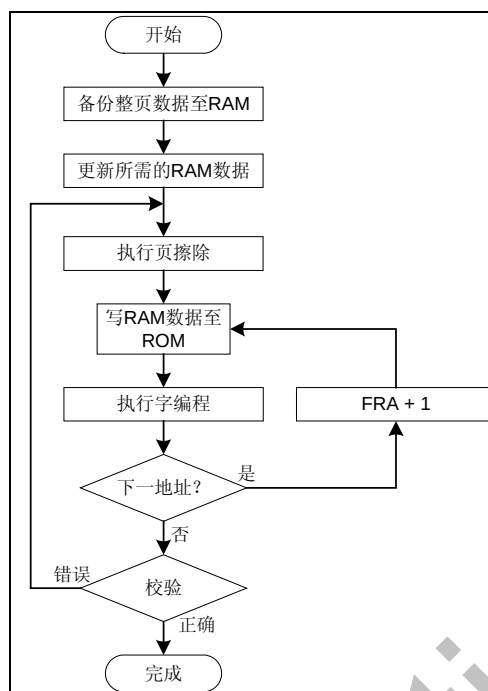


图 3-3 页更新参考流程图

更新一页程序存储器的步骤:

1. 用查表读指令将一页内容备份至数据存储空间 (需 512x8 位存储空间, 用于存放一页的数据量);
2. 修改备份数据存储空间要更新的值;
3. 通过设置寄存器 ROMCL 和 ROMCH 进行页擦除 (必须依照固定程序流程进行);
4. 通过寄存器 FRAL 和 FRAH 选择需要更新的地址, 以及设置寄存器 ROMDL 和 ROMDH 需要更新的数据;
5. 通过寄存器 ROMCL 和 ROMCH 将寄存器 ROMDL 和 ROMDH 中的内容写入 FRA 所指向的页中的地址 (必须依照固定程序流程进行);
6. 重复 4、5 步骤直至完成整页编程;
7. 用查表读指令进行写入区的校验。

3.4.3 操作参考例程

应用例程 1: 数据存储器查表读。

```

MOVI    0x00          ; 读取数据 FLASH 存储器 1F00H 单元
MOVA    FRAL
MOVI    0x1F
MOVA    FRAH
TBR                                ; 查表读指令, 读取数据到 ROMDH/L 寄存器
MOV     ROMDH, 0
... ..
MOV     ROMDL, 0
... ..
    
```

应用例程 2: 数据存储器页擦除。除定时器/计数器可保持运行外, 程序停止运行, 直至擦除

操作完成自动恢复运行。

```

MOVI    0X00
MOVA    FRAL
MOVI    0X1F          ; 擦除第 1 页
MOVA    FRAH
BSS     ROMCL, FPÉE   ; 选择擦除操作
BSS     ROMCL, WREN   ; 打开 FLASH 擦除/编程使能
BCC     INTG, GIE     ; 关闭全局中断（避免中断影响后续固定程序流
                      程）

```

MOVI	0x55
MOVA	ROMCH
...	...
MOVI	0xAA
MOVA	ROMCH
...	...
BSS	ROMCL, WR
NOP	

.....

应用例程 3：将数据缓冲器写入数据存储区。除定时器/计数器可保持运行外，程序停止运行，

直至擦除操作完成自动恢复运行。

```

MOVI    0x00
MOVA    FRAL
MOVI    0x1F          ; 写入数据 Flash 存储器的第 1 页第 1 个地址
MOVA    FRAH
MOVI    0x12
MOVA    ROMDH
MOVI    0x34
MOVA    ROMDL          ; 写入数据 1234H
BCC     ROMCL, FPÉE   ; 选择编程操作
BSS     ROMCL, WREN   ; 打开 FLASH 擦除/编程使能
BCC     INTG, GIE     ; 关闭全局中断（避免中断影响后续固定程序流
                      程）

```

MOVI	0x55
MOVA	ROMCH
...	...
MOVI	0xAA
MOVA	ROMCH
...	...
BSS	ROMCL, WR
NOP	

.....

注：上述应用例程方框中的程序为固定操作格式，客户不可改变。

3.4.4 特殊功能寄存器

FRAL: 查表地址寄存器低 8 位

Bit	7	6	5	4	3	2	1	0
Name	FRAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 FRAL<7:0>: 查表地址低 8 位

FRAH: 查表地址寄存器高 8 位

Bit	7	6	5	4	3	2	1	0
Name	FRAH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 FRAH<7:0>: 查表地址高 8 位

ROMDL: 查表数据寄存器低 8 位

Bit	7	6	5	4	3	2	1	0
Name	ROMDL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 ROMDL<7:0>: 查表数据低 8 位

ROMDH: 查表数据寄存器高 8 位

Bit	7	6	5	4	3	2	1	0
Name	ROMDH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 ROMDH<7:0>: 查表数据高 8 位

ROMCL: 存储器控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	FPEE	WREN	WR	—
R/W	—	—	—	—	R/W	R/W	R/W	—
RESET	0	0	0	0	0	0	0	0

Bit 7~4 未使用

Bit 3 FPEE: 存储器页擦除/编程选择位

0: 编程

1: 擦除

Bit 2 WREN: 存储器页擦除/编程使能位

0: 禁止

1: 使能

- Bit 1 WR: 存储器擦除/编程触发位
0: 未启动擦除/编程操作, 或操作已完成
1: 擦除/编程正在进行操作 (硬件自动清零)
- Bit 0 未使用

注: 数据 FLASH 存储器页面选择不同, 程序存储空间则不同;

ROMCH: 存储器控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	ROMCH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 ROMCH<7:0>: 存储器擦除/编程控制字

注: ROMCH 寄存器为虚拟寄存器, 对该寄存器读出始终为全 0。

3.5 在线编程ISP和在线调试ICD

FLASH 存储器和 FLASH 数据存储器具有可重复烧写的功能, 便于客户代码和数据的更新升级。为了实现开发人员在开发过程中能够更轻松地进行代码的调试、更新、升级, 本芯片还支持在线编程 ISP 和在线调试 ICD, 用户只需在电路系统板上引出五根编程和调试接口线, 即可实现程序的重新烧录和调试, 更加方便高效。

芯片管脚	管脚说明
ISPCK	编程/调试串行时钟端口
ISPDAT	编程/调试串行数据端口
N_MRST ^{注1}	复位脚
VDD	电源
VSS	地

表 3-2 在线编程/调试管脚说明

注 1: 当配置字 MRSTEN (CFG_WD<5>) 配置为外部复位时, 进行 ISP 操作时, N_MRST 管脚必须拉低。
当配置字 MRSTEN (CFG_WD<5>) 配置为数字输入时, ISP 操作和 N_MRST 管脚状态无关。

3.6 数据存储器

3.6.1 概述

- ◆ 数据存储器由 2 部分组成
- 通用数据存储器 GPR

- 特殊功能寄存器 SFR
- ◆ 物理存储包括
 - 1K 字节数据存储器
 - 128 个特殊寄存器
- ◆ 支持 3 种寻址方式
 - 直接寻址
 - GPR 特殊寻址
 - 间接寻址

3.6.2 通用数据存储器

通用数据存储器被用于临时存放数据和控制信息，可以在程序控制下进行读写操作。本芯片通用数据存储器空间为 1 K 字节，支持 8 个存储体组，地址范围为 0000H~03FFH。程序控制过程中，对这些存储体访问时，需通过寄存器 BKSR 选择存储体，实现在不同存储体间的跳转。通用数据存储器的内容在上电复位后是不确定的，未掉电的其它复位后，将保存复位前的内容。

地址映射如下：

0000H	Section 0
007FH	Section 1
00FFH	Section 2
017FH	Section 3
01FFH	Section 4
027FH	Section 5
02FFH	Section 6
037FH	Section 7
03FFH	保留
FF7FH	

图 3-4 GPR 地址映射示意图

3.6.3 特殊功能寄存器

特殊功能寄存器用于芯片对外设操作的控制设定。本芯片支持 128 个特殊寄存器，地址范围 FF80H~FFFFH。大多数寄存器都是可以读写的，仅有少数寄存器作为保留使用，用户程序不能进行读写。相关功能所使用的寄存器将分别在各个章节中描述。

FF80 _H	IAD	FFA0 _H	INTE3	FFC0 _H	T11RL	FFE0 _H	RXB
FF81 _H	IAAL	FFA1 _H	INTF3	FFC1 _H	T11PH	FFE1 _H	RXC
FF82 _H	IAAH	FFA2 _H		FFC2 _H	T11OC	FFE2 _H	TXB
FF83 _H	BKSR	FFA3 _H		FFC3 _H	T12L	FFE3 _H	TXC
FF84 _H	PSW	FFA4 _H		FFC4 _H	T12C	FFE4 _H	BRR
FF85 _H	AREG	FFA5 _H		FFC5 _H	T12PL	FFE5 _H	T11CAPC
FF86 _H	PCRL	FFA6 _H	PWRC	FFC6 _H	T12RL	FFE6 _H	T11H
FF87 _H	PCRH	FFA7 _H	WDTC	FFC7 _H	T12PH	FFE7 _H	T12H
FF88 _H	MULA/MULL	FFA8 _H	WKDC	FFC8 _H	T12OC	FFE8 _H	T13H
FF89 _H	MULB/MULH	FFA9 _H	PWEN	FFC9 _H	T13L	FFE9 _H	T11CH
FF8A _H	DIVEL/DIVQL	FFAA _H	PA	FFCA _H	T13C	FFEA _H	T12CH
FF8B _H	DIVEH/DIVQH	FFAB _H	PAT	FFCB _H	T13PL	FFEB _H	T13CH
FF8C _H	DIVS/DIVR	FFAC _H	PB	FFCC _H	T13RL	FFEC _H	
FF8D _H	T11CNTM	FFAD _H	PBT	FFCD _H	T13PH	FFED _H	T12CAPC
FF8E _H	C1OFST	FFAE _H	PC	FFCE _H	T13OC	FFEE _H	T13CAPC
FF8F _H	LVDC	FFAF _H	PCT	FFCF _H	PWM1C	FFEF _H	I2CX16
FF90 _H	FRAL	FFB0 _H	PAPU	FFD0 _H	PWM2C	FFF0 _H	I2CC
FF91 _H	FRAH	FFB1 _H	PBPU	FFD1 _H	PWM3C	FFF1 _H	I2CSA
FF92 _H	ROMDL	FFB2 _H	PCPU	FFD2 _H	PDD1C	FFF2 _H	I2CTB
FF93 _H	ROMDH	FFB3 _H	VRC3	FFD3 _H	PDD2C	FFF3 _H	I2CRB
FF94 _H	ROMCL	FFB4 _H	PAOD	FFD4 _H	PDD3C	FFF4 _H	I2CIEC
FF95 _H	ROMCH	FFB5 _H	PBOD	FFD5 _H	TE1AS	FFF5 _H	I2CIFC
FF96 _H	INTG	FFB6 _H	PCOD	FFD6 _H	TE2AS	FFF6 _H	ACPC1
FF97 _H	INTP	FFB7 _H	PAPD	FFD7 _H	TE3AS	FFF7 _H	
FF98 _H	INTC0	FFB8 _H	PBPD	FFD8 _H	TMRADC	FFF8 _H	
FF99 _H	T12CNTM	FFB9 _H	PCPD	FFD9 _H	T13CNTM	FFF9 _H	
FF9A _H	INTE0	FFBA _H	VRC2	FFDA _H	ADCRL	FFFA _H	
FF9B _H	INTF0	FFBB _H	T8N	FFDB _H	ADCRH	FFFB _H	VRC1
FF9C _H	INTE1	FFBC _H	T8NC	FFDC _H	ADCCL	FFFC _H	
FF9D _H	INTF1	FFBD _H	T11L	FFDD _H	ADCCH	FFFD _H	
FF9E _H	INTE2	FFBE _H	T11C	FFDE _H	ANSL	FFFE _H	
FF9F _H	INTF2	FFBF _H	T11PL	FFDF _H	ANSH	FFFF _H	

图 3-5 特殊功能寄存器空间

3.6.4 寻址方式

SRAM 数据存储器的寻址方式支持直接寻址、GPR 特殊寻址和间接寻址。

3.6.4.1 直接寻址

直接寻址的地址信息由两部分组成，BKSR 和指令中的 8 位地址信息。BKSR 用于选择存储体组，指令中的 8 位地址信息用于在 BKSR 所选的存储体组中寻址。

在直接寻址时，当指令中的 8 位地址信息大于或等于 80H 时，将忽略 BKSR 而直接寻址 SFR 映射区。当指令中的 8 位地址信息小于 80H 时，访问 GPR 地址映射区。

示意图如下：

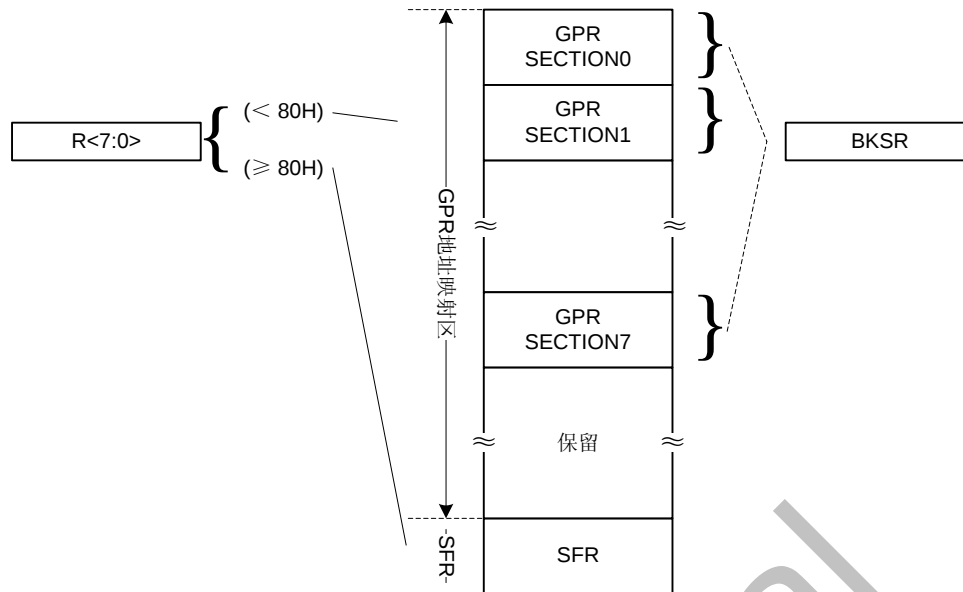


图 3-6 直接寻址示意图

3.6.4.2 GPR特殊寻址

为方便较大的数据段（例如数组）在 GPR 中的移动，指令 MOVAR 和 MOVRA 用于对 GPR 进行特殊寻址操作，本芯片 MOVAR 和 MOVRA 指令最大支持 10 位地址信息（R<9:0>），可直接寻址 1K 字节地址空间。无需进行 SECTION 间切换。

MOVAR 和 MOVRA 指令无法访问 SFR。

示意图如下：

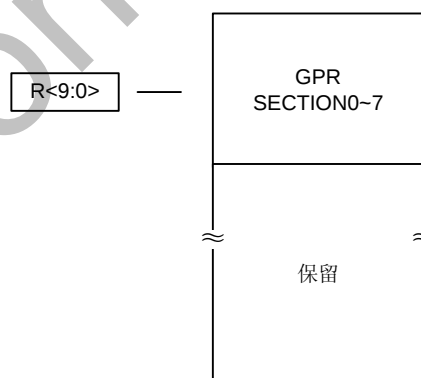


图 3-7 GPR 特殊寻址示意图

3.6.4.3 间接寻址

间接寻址是通过 16 位间接地址寄存器 IAA（由 2 个 8 位寄存器 IAAH 和 IAAL 组成）和 8 位虚拟数据寄存器 IAD，间接访问数据寻址空间中的存储单元。先将访问目的地址存放于间接地址寄存器 IAA，再通过指令对 IAD 进行读/写操作，实际的读/写操作对象则是 IAA 指向的数据寻址空间中的目的地址单元。

IAD 寄存器本身也映射到数据寻址空间的 FF80H 地址，因此当 IAA 存放的地址值为 FF80H

时，读/写 IAD 相当于用间接寻址方式访问虚拟寄存器 IAD 本身，此时读操作将始终读出的 00H，写操作则是一个空操作（可能影响状态位）。

ISTEP 指令，用来对 16 位间接地址寄存器 IAA 进行偏移操作。执行该指令时，先将指令字中的 8 位有符号立即数进行符号位扩展为 16 位数，再将 IAA 的值加上这个数的结果存回 IAA 寄存器。ISTEP 可实现的偏移范围为-128~127。

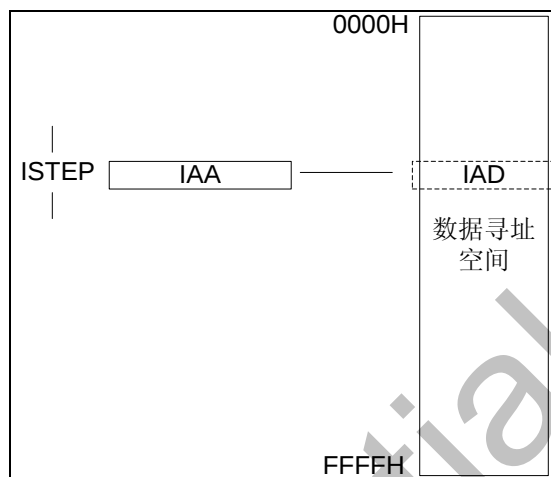


图 3-8 间接寻址示意图

3.6.5 特殊功能寄存器

IAID: 间接寻址数据寄存器

Bit	7	6	5	4	3	2	1	0
Name	IAD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 IAD<7:0>: 间接寻址数据

IAAL: 间接寻址索引寄存器低 8 位

Bit	7	6	5	4	3	2	1	0
Name	IAAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 IAAL<7:0>: 间接寻址索引低 8 位

IAAH: 间接寻址索引寄存器高 8 位

Bit	7	6	5	4	3	2	1	0
Name	IAAH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 IAAH<7:0>: 间接寻址索引高 8 位

BKSR: 存储体选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	SBKSR	—	DBKSR<2:0>		
R/W	—	—	—	R/W	—	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~5 未使用

Bit 4 SBKSR: 特殊功能存储体选择位
必须软件设置为 0

Bit 3 未使用

Bit 2~0 DBKSR<2:0>: 数据存储体选择位
000: 选择存储体 0
001: 选择存储体 1
010: 选择存储体 2
011: 选择存储体 3
100: 选择存储体 4
101: 选择存储体 5
110: 选择存储体 6
111: 选择存储体 7

注 1: 如果没有特殊需求, BKSR<4>位必须软件设置为 0。

第 4 章 MCU—输入/输出端口

4.1 概述

输入/输出端口是 MCU 的最基本组成部分，本芯片的 MCU 最多支持 17 个 I/O 端口。所有 I/O 端口都是 TTL/SMT 输入和 CMOS 输出驱动。其中，外部可用 12 个 I/O。

- ◆ PA 输入/输出端口功能组件
 - 7 位双向输入/输出端口
 - TTL/SMT 输入和 CMOS 输出驱动
 - 端口输入输出控制寄存器 (PAT)
 - 端口弱上拉控制寄存器 (PAPU)
 - 端口弱下拉控制寄存器 (PAPD)
 - 端口开漏输出控制寄存器 (PAOD)
 - 数/模端口控制寄存器 (ANSL)
- ◆ PB 输入/输出端口功能组件
 - 8 位双向输入/输出端口
 - TTL/SMT 输入和 CMOS 输出驱动
 - 端口输入输出控制寄存器 (PBT)
 - 端口弱上拉控制寄存器 (PBPU)
 - 端口弱下拉控制寄存器 (PBPD)
 - 端口开漏输出控制寄存器 (PBOD)
 - 数/模端口控制寄存器 (ANSH)
 - PB4~7 支持外部按键中断功能
 - PB5~7 支持外部端口中断功能
- ◆ PC 输入/输出端口功能组件
 - 2 位双向输入/输出端口
 - TTL/SMT 输入和 CMOS 输出驱动
 - 端口输入输出控制寄存器 (PCT)
 - 端口弱上拉控制寄存器 (PCPU)
 - 端口弱下拉控制寄存器 (PCPD)
 - 端口开漏输出控制寄存器 (PCOD)
 - PC0~1 支持外部端口中断功能

注 1: 当端口设置为输出、外部振荡器时钟或者模拟输入端口时，内部弱上/下拉自动禁止；

注 2: 当端口设置为外部振荡器时钟或者模拟输入端口时，大电流驱动和开漏输出控制自动禁止。

4.2 结构框图

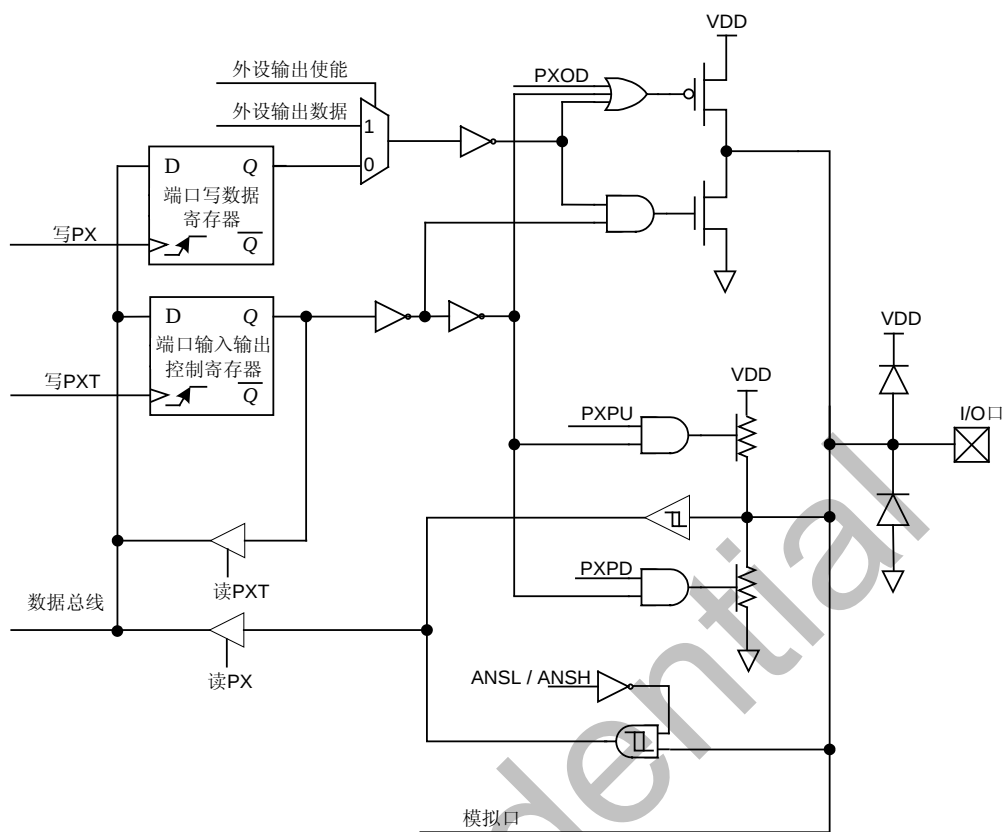


图 4-1 PA/PB 端口结构图

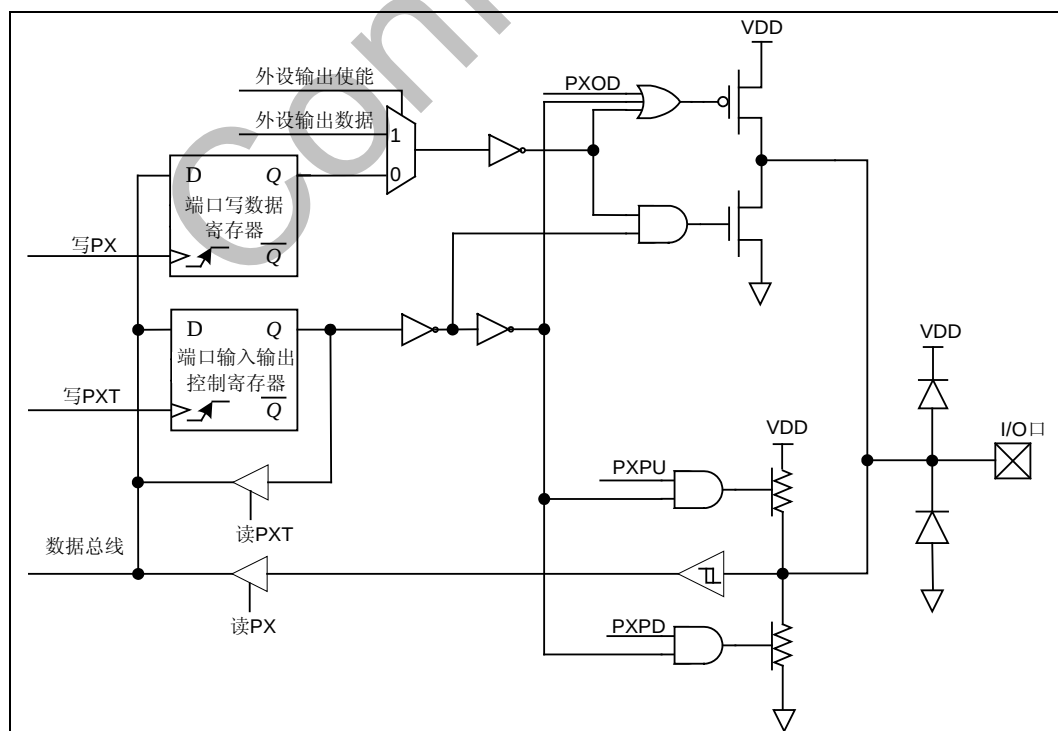


图 4-2 PC 端口结构图

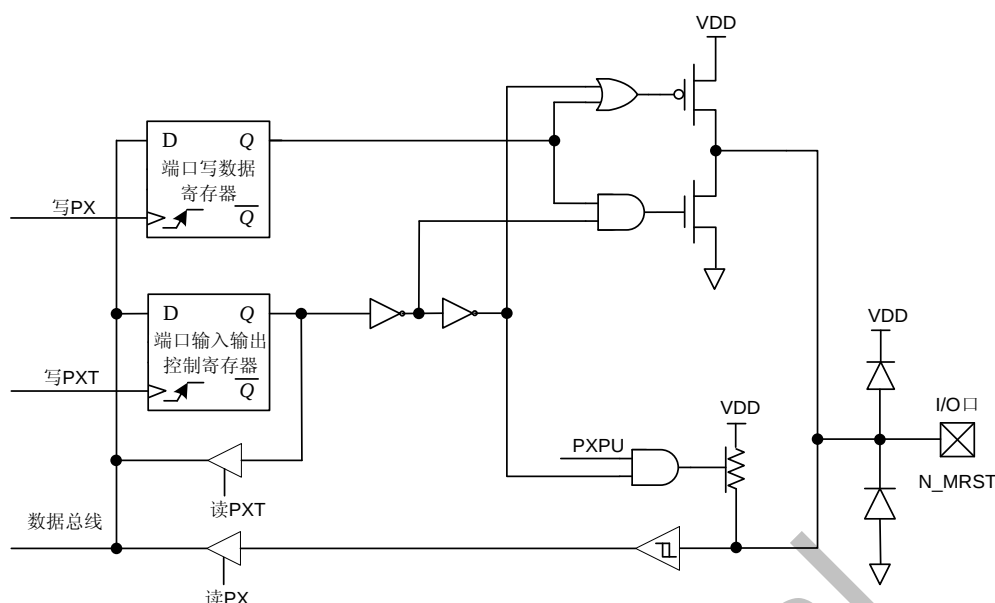


图 4-3 输入端口结构图——PA2

4.3 I/O端口功能设置

4.3.1 I/O端口输入/输出控制

芯片中的所有 I/O 端口都具有输入/输出的能力，端口控制寄存器 PxT 用于相应端口的输入或输出功能选择。当 I/O 端口设置为数字输出状态时，I/O 端口输出 Px 寄存器内容，即相应 I/O 端口电平状态，读取 Px 寄存器的操作实际为读取相应 I/O 端口电平状态。当 I/O 端口设置为数字输入状态时，读取 Px 寄存器的操作实际为读取相应 I/O 端口电平状态。

4.3.2 I/O端口弱上/下拉功能

很多产品的应用中需要端口连接上拉或下拉电阻，使端口固定在一个稳定的电平状态，防止外界干扰以及其它影响。除 PA2 外，本芯片中所有端口均提供独立的弱上/下拉功能。PA2 仅支持独立的弱上拉功能，芯片上电时默认使能。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	支持	支持	支持
PC	支持	支持	—	—	—	—	—	—

表 4-1 I/O 端口弱上拉

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	—	支持	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	支持	支持	支持
PC	支持	支持	—	—	—	—	—	—

表 4-2 I/O 端口弱下拉

4.3.3 I/O端口模拟/数字类型选择功能

当数字信号和模拟信号共用管脚时，在使用对应端口的数字信号或模拟信号功能前，须正确设置端口的类型，否则可能不会达到预期的结果。本芯片中 PA0~PA1、PA3~PA7、PB0~PB6 均具有独立的模拟/数字信号选择功能，分别由 ANSL 和 ANSH 寄存器控制选择。当端口被配置为模拟端口时，读相应的 Px 寄存器时，始终读到“0”。

4.3.4 I/O端口开漏输出

为获得更大的驱动能力，除 PA2 外，本芯片中的所有端口均支持开漏输出功能，可独立设置为开漏输出，分别由 PAOD、PBOD 和 PCOD 寄存器控制。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	—	支持	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	支持	支持	支持
PC	支持	支持	—	—	—	—	—	—

表 4-3 I/O 端口开漏输出

4.3.5 I/O端口复用功能

为了使资源合理利用最优化，本芯片的所有 I/O 端口都具有复用功能。当端口用于复用功能时，管脚电平由复用功能决定。

4.4 端口中断

4.4.1 外部按键中断（KINTx）

本芯片支持 1 组最多 4 个外部按键输入端 KINx 的按键中断，每个按键输入都可以由相应的 KMSKx 位屏蔽。当 KINx 复用端口被配置为数字输入端口，且 1 组中任何一个未屏蔽的按键端口输入信号发生电平变化时，将产生按键中断 KINT。外部按键中断可由 KIE 使能。中断产生将影响中断标志 KIF。使用外部按键中断时，须配置相应的控制寄存器，并且使能外部按键中断端口的内部弱上拉电阻。

外部按键电平比较，是比较按键输入端口的当前电平与锁存器中的最后输入值，如果不相同则产生按键中断标志。清除按键中断标志位前，必须对相应复用端口进行一次读或写操作，否则按键中断标志位无法被清除。在 IDLE 模式下，此中断能唤醒 CPU。

管脚名	端口输入	按键屏蔽	中断名	中断使能	中断标志
PB4	KIN0	KMSK0	KINT	KIE	KIF
PB5	KIN1	KMSK1			
PB6	KIN2	KMSK2			
PB7	KIN3	KMSK3			

表 4-4 外部按键中断

4.4.2 外部端口中断（PINTx）

本芯片支持 5 个外部端口中断。当 PINTx 复用端口被配置为数字输入端口，且输入信号变

化满足触发条件时,将产生 PINTx 外部端口中断。INTC0 寄存器中的 PEG0 (INTC0<6>), PEG1 (INTC0<7>), PEG2<1:0> (INTC0<5:4>) 用于配置触发条件,可分别配置为上升沿触发、下降沿触发或双沿触发。外部端口中断可由 PIEx 使能。中断产生将影响相应的中断标志 PIFx。在 IDLE 模式下,此中断能唤醒 CPU。

管脚名	端口输入	边沿选择	中断名	中断使能	中断标志
PC0	PINT0	PEG0	PINT0	PIE0	PIF0
PC1	PINT1	PEG1	PINT1	PIE1	PIF1
PB5~PB7	PINT2~4	PEG2<1:0>	PINT2~4	PIE2~4	PIF2~4

表 4-5 外部端口中断

4.5 I/O端口操作注意事项

当执行以端口寄存器为目标的算术或逻辑运算指令(除位操作指令)时,芯片实际执行读-修改-写过程,即先读取该组全部 I/O 端口的电平,修改后再写回端口寄存器。位操作指令对 I/O 的修改操作只影响选定的位,对同组其它 I/O 不影响。因此建议用户对单个 I/O 的修改采用位操作指令。此外在 I/O 复用功能使能和关闭时,应充分考虑当前 I/O 端口的输出寄存器值,并判断是否需要重新对这些 I/O 端口进行初始化赋值。

4.6 特殊功能寄存器

PA: PA 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 PA<7:0>: PA 端口电平状态 (SSOP20 封装的芯片, PA0、PA4 内部悬空,需固定为 0 (低电平))

0: 低电平

1: 高电平

PAT: PA 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
RESET	1	1	1	1	1	1	1	1

Bit 7~3 PAT<7:3>: PA7~PA3 端口输入输出状态控制位 (PA3 与 RF 收发器内部相连,参考 1.4.3 描述的连接关系,必须设置此两位固定为 0 (输出)。SSOP20 封装的芯片, PA4 内部悬空,需固定为 0 (输出))

0: 输出状态

1: 输入状态

Bit 2 PAT<2>: PA2 端口固定为输入状态

Bit 1~0 PAT<1:0>: PA1~PA0 端口输入输出状态控制位 (SSOP20 封装的芯片, PA0 内部悬空,需固定为 0 (输出))

- 0: 输出状态
1: 输入状态

PAPU: PA 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAPU<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	1	0	0

Bit 7~0 PAPU<7:0>: PA 端口内部弱上拉控制位

- 0: 禁止
1: 使能

PAPD: PA 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAPD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~3 PAPD<7:3>: PA7~PA3 端口内部弱下拉控制位

- 0: 禁止
1: 使能

Bit 2 PAPD<2>: PA2 端口内部弱下拉禁止

Bit 1~0 PAPD<1:0>: PA1~PA0 端口内部弱下拉控制位

- 0: 禁止
1: 使能

PAOD: PA 端口输出开漏控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAOD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~3 PAOD<7:3>: PA7~PA3 端口开漏输出控制位

- 0: 禁止
1: 使能

Bit 2 PAOD<2>: PA2 端口开漏输出禁止

Bit 1~0 PAOD<1:0>: PA1~PA0 端口开漏输出控制位

- 0: 禁止
1: 使能

PB: PB 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RESET	x	x	x	x	x	x	x	x
-------	---	---	---	---	---	---	---	---

Bit 7~0 PB<7:0>: PB 端口电平状态 (SSOP20 封装的芯片, PB2、PB3 内部悬空, 需固定为 0 (低电平))

0: 低电平

1: 高电平

PBT: PB 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	1	1	1	1	1	1	1

Bit 7~0 PBT<7:0>: PB 端口输入输出状态控制位 (PB4~PB7 与 RF 收发器内部相连, 参考 1.4.3 描述的连接关系, PB4 和 PB5 必须固定为 1(输入), PB6 和 PB7 必须固定为 0(输出)。SSOP20 封装的芯片, PB2、PB3 内部悬空, 需固定为 0 (输出))

0: 输出状态

1: 输入状态

PBPU: PB 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBPU<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	1	0	0	0	0	0	0

Bit 7~0 PBPU<7:0>: PB 端口内部弱上拉控制位

0: 禁止

1: 使能

PBPD: PB 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBPD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 PBPD<7:0>: PB 端口内部弱下拉控制位

0: 禁止

1: 使能

PBOD: PB 端口输出开漏控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBOD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 PBOD<7:0>: PB 端口开漏输出控制位

0: 禁止

1: 使能

PC: PC 端口电平状态寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	PC<1:0>	
R/W	—	—	—	—	—	—	R/W	R/W
RESET	X	X	X	X	X	X	X	X

Bit 7~2 未使用

Bit 1~0 PC<1:0>: PC1~PC0 端口电平状态

0: 低电平

1: 高电平

PCT: PC 端口输入输出控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	PCT<1:0>	
R/W	—	—	—	—	—	—	R/W	R/W
RESET	0	0	0	0	0	0	1	1

Bit 7~2 未使用

Bit 1~0 PCT<1:0>: PC1~PC0 端口输入输出状态控制位

0: 输出状态

1: 输入状态

PCPU: PC 端口弱上拉控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	PCPU<1:0>	
R/W	—	—	—	—	—	—	R/W	R/W
RESET	0	0	0	0	0	0	1	1

Bit 7~2 未使用

Bit 1~0 PCPU<1:0>: PC1~PC0 端口内部弱上拉控制位

0: 禁止

1: 使能

PCPD: PC 端口弱下拉控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	PCPD<1:0>	
R/W	—	—	—	—	—	—	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~2 未使用

Bit 1~0 PCPD<1:0>: PC1~PC0 端口内部弱下拉控制位

0: 禁止

1: 使能

PCOD: PC 端口输出开漏控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	PCOD<1:0>	
R/W	—	—	—	—	—	—	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~2 未使用

Bit 1~0 PCOD<1:0>: PC1~PC0 端口开漏输出控制位

0: 禁止

1: 使能

注: 具体 IO 端口的驱动能力, 可参考《MCU 电气特性》。

Confidential

第 5 章 MCU—特殊功能及操作特性

5.1 系统时钟与振荡器

5.1.1 概述

芯片运行所需要的时钟源由振荡器提供，不同的振荡器选择可以让使用者在不同的应用需求中实现更大范围的功能。本款芯片所提供的振荡器有三种：外部高频晶体/陶瓷振荡器、内部高速RC振荡器（16MHz）和内部低速RC振荡器（32KHz）。灵活选择振荡器，使得产品在速度和功耗方面可以达到最优化。振荡器除了作为系统时钟源外，还可以为看门狗定时器、ADC电路、Timer等提供所需要的时钟源。

◆ HRC

- 内部 16MHz RC 振荡器
- 出厂前，振荡器频率已经在常温下校准，校准精度在 $\pm 2\%$ 以内
- 支持多种分频时钟，可通过配置字选择

◆ LRC

- 内部 32KHz RC 振荡器
- 出厂前，在常温下已经将频率校准在 $\pm 15\%$ 以内，其高低温频偏对 WDT 计数溢出周期的影响，见《MCU 电气特性》章节的描述

◆ 振荡和暂停

- 在 IDLE0 模式下，振荡器暂停振荡
- 在 IDLE1 模式下，振荡器保持振荡，系统时钟暂停

5.1.2 内部结构图

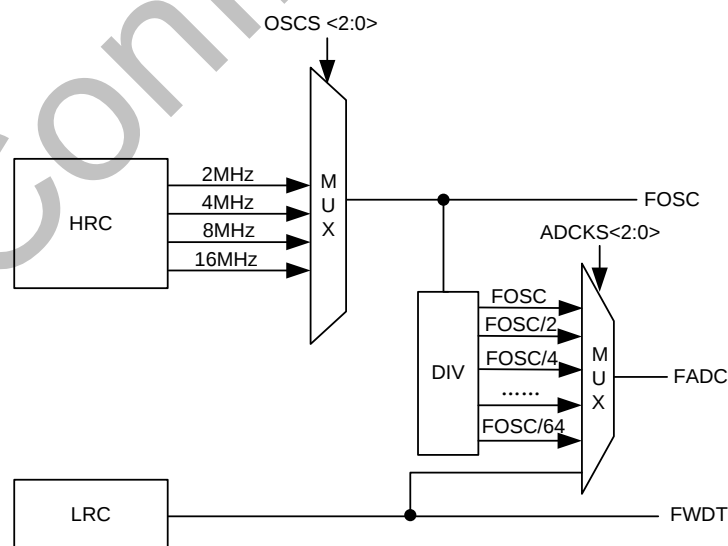


图 5-1 系统时钟结构图

5.1.3 时钟源

5.1.3.1 内部高速 16MHz RC 振荡器模式（HRC）

芯片内置 16MHz RC 时钟振荡器，不需要外接其它外部器件。

当芯片配置字 $OSCS<2:0> = 111$ 时，配置为 INTOSCIO 模式，此时 PA0、PA1 管脚复用为通用 I/O 端口。

当芯片配置字 $OSCS<2:0> = 110$ 时，配置为 INTOSC 模式，此时 PA0 管脚复用输出 CLK0，CLK0 输出系统时钟的 16 分频时钟 ($F_{osc}/16$)，PA1 复用为通用 I/O 端口。客户通过编程界面选择。

在出厂前，芯片已经在常温下校准，在工作电压范围内，校准精度在 $\pm 2\%$ 以内。

5.1.3.2 内部低速 32kHz RC振荡器模式 (LRC)

芯片内置 32KHz RC 时钟振荡器，不需要外接其它外部器件，可用作 WDT、ADC 电路时钟源。

Confidential

5.2 看门狗定时器 (WDT)

5.2.1 概述

看门狗定时器是芯片的一个组成部分，它可以在发生软件故障时，将芯片复位。若系统进入了错误的工作状态，看门狗可以在合理的时间范围内使芯片复位。使能看门狗时，若用户程序清除看门狗定时器失败，则在预定的时间范围内，看门狗会使系统复位。

◆ WDT 定时器

- 8 位 WDT 定时计数器（无实际物理地址，不可读写）
- 定时器时钟源为内部 32KHz RC 时钟
- 8 位预分频器（无实际物理地址，不可读写）
- WDT 控制寄存器（WDTC）
- 唤醒功能
- 复位功能

5.2.2 内部结构图

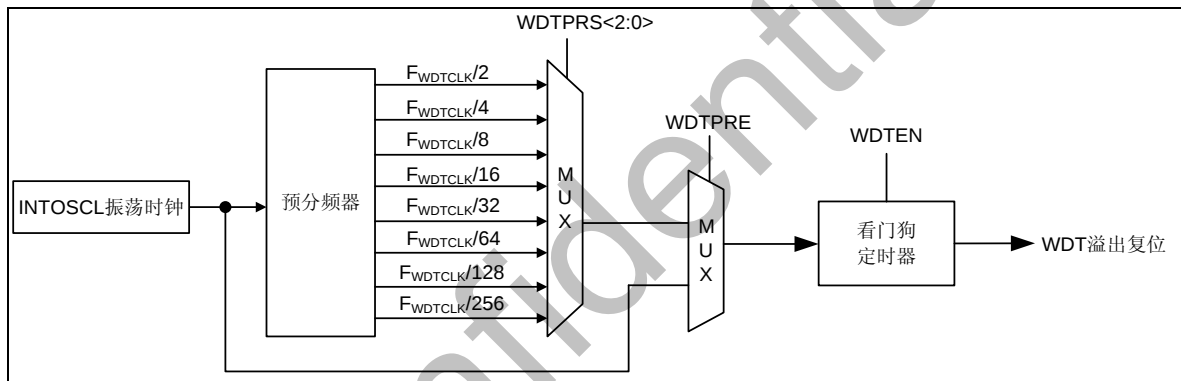


图 5-2 看门狗定时器内部结构图

5.2.3 WDT 定时器

芯片提供 8 位 WDT 定时计数器，通过芯片配置字 WDTEN 可使能硬件看门狗 WDT。当芯片配置字 WDTEN 使能时，WDT 定时器计数使能；当 WDTEN 关闭时，WDT 定时器计数禁止。客户可通过编程器界面选择。

在 IDLE 模式下，WDT 计数溢出会唤醒 CPU；在正常运行模式下，WDT 计数溢出会复位芯片。为了避免不必要的复位，需使用 CWDT 指令适时清零 WDT 计数器。

WDT 支持一个预分频器，由 WDTC 寄存器中的 WDTPRE 位控制。当 WDTPRE 位清零，禁止预分频器时，常温下 WDT 的计数溢出时间约为 8ms。

当 WDTPRE 位置 1，使能预分频器时，可通过 WDTC 寄存器中的 WDTPRS<2:0> 位设置 WDT 时钟源的预分频比，再将分频后的时钟信号作为 WDT 定时器的计数时钟。

5.2.4 特殊功能寄存器

WDTC: WDT 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	WDTPRE	WDTPRS<2:0>		
R/W	—	—	—	—	R/W	R/W	R/W	R/W
RESET	0	0	0	0	1	1	1	1

Bit 7~4 未使用

Bit 3 WDTPRE: WDT 预分频器使能位

0: 禁止

1: 使能

Bit 2~0 WDTPRS <2:0>: WDT 预分频器分频比选择位

000: 1:2

001: 1:4

010: 1:8

011: 1:16

100: 1:32

101: 1:64

110: 1:128

111: 1:256

5.3 复位模块

5.3.1 概述

- ◆ 上电复位 POR
- ◆ 掉电复位 BOR，复位电压点可配置
- ◆ 外部端口 N_MRST 复位，低电平复位有效
- ◆ 看门狗定时器 WDT 溢出复位
- ◆ 软件执行指令 RST 复位

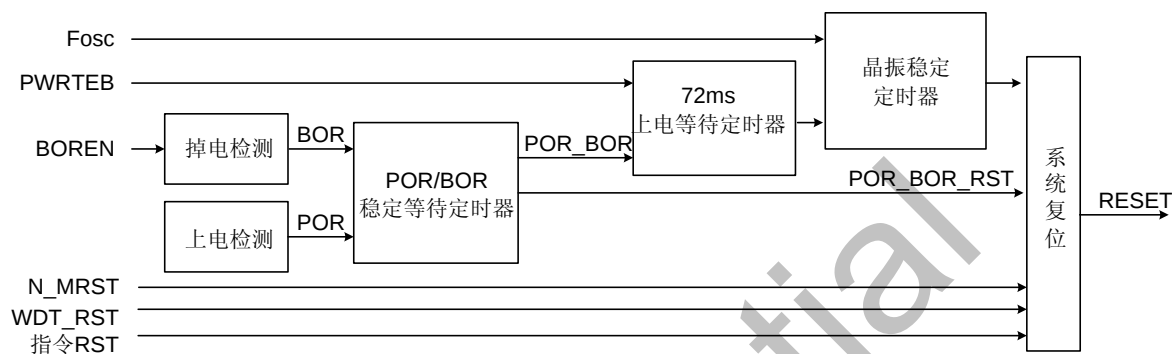


图 5-3 芯片复位原理图

5.3.2 上电复位

芯片上电过程中会产生 POR 复位，并且该复位信号将会一直保持到电源电压升高到芯片能够正常工作的电压为止。系统上电过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。上电复位的时序如下：

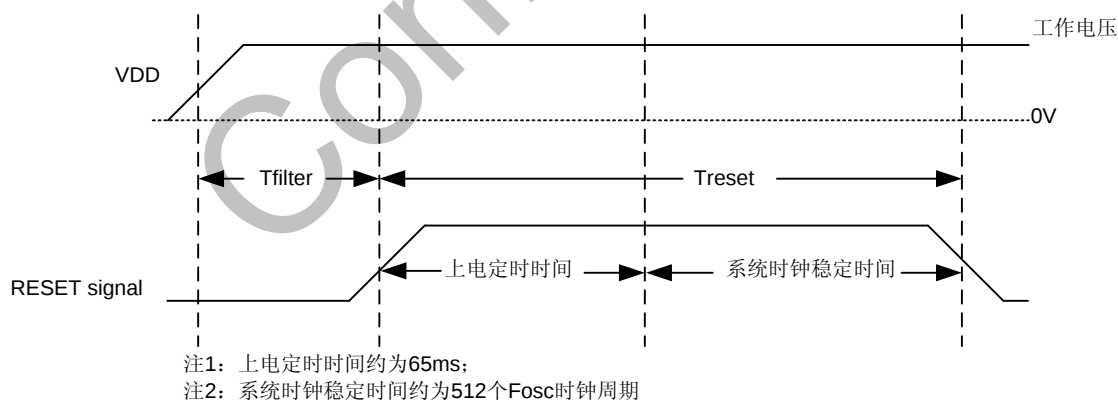


图 5-4 上电复位时序示意图

5.3.3 掉电复位

掉电复位针对外部因素引起的系统电压跌落情形（例如：更换电池），掉电复位可能会引起系统工作状态不正常或程序执行错误。

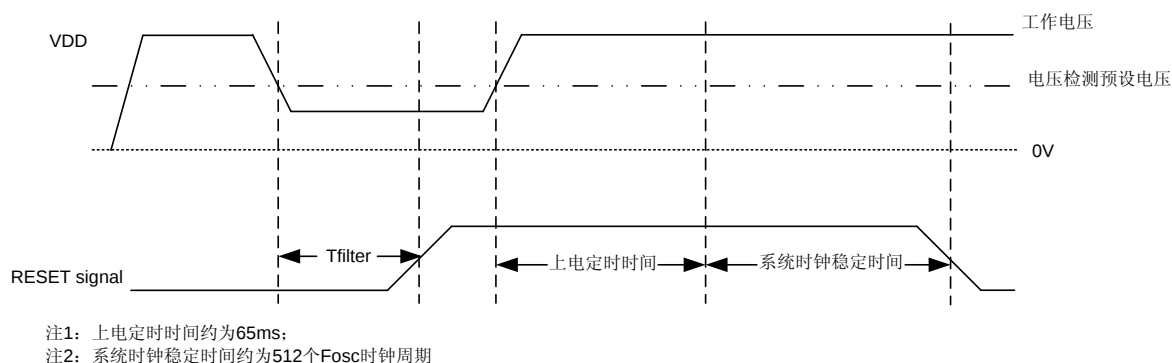


图 5-5 低电压复位时序示意图

注 1：上电定时时间可以通过 PWRTEB 屏蔽。

5.3.4 看门狗定时器溢出复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，程序无法清除看门狗，导致看门狗定时器计数溢出，产生系统复位。看门狗溢出复位后，系统重启进入正常状态。

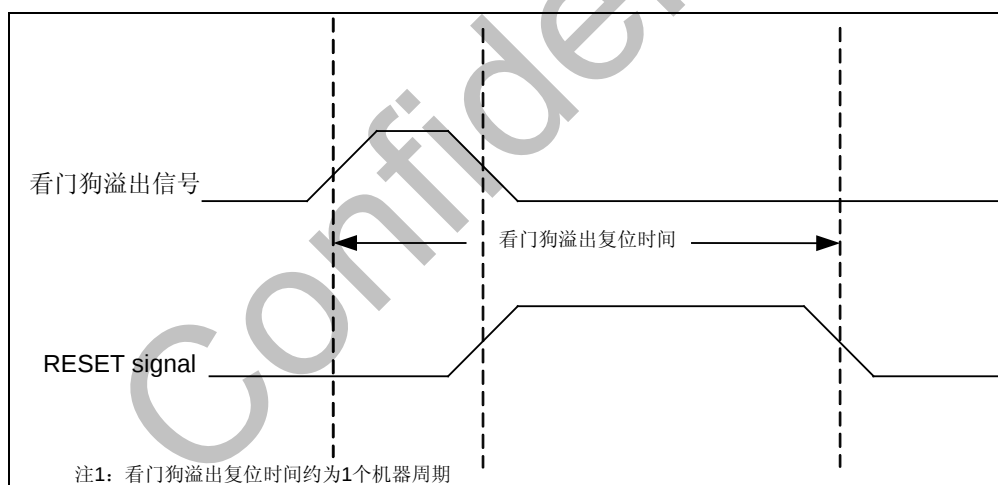


图 5-6 看门狗溢出复位

5.3.5 RST指令软件复位

整个芯片可通过执行 RST 指令进行复位，复位后，全部寄存器状态位都将被影响。

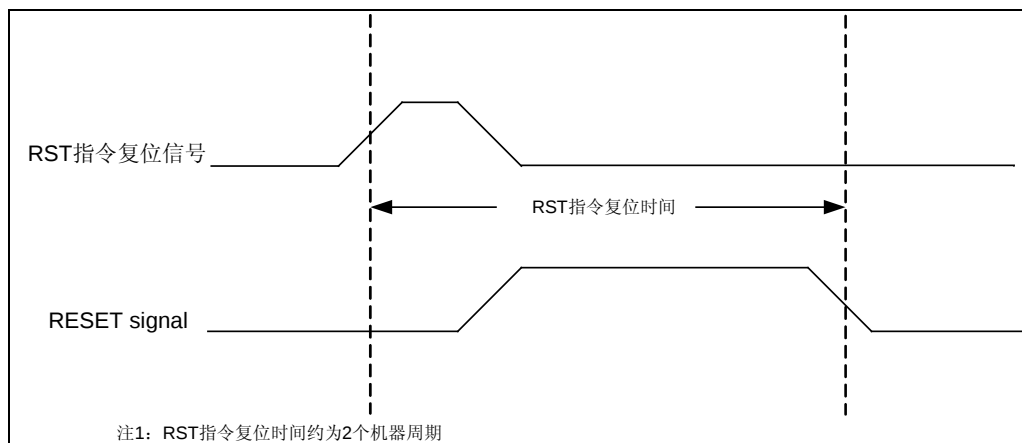


图 5-7 RST 指令软件复位

5.3.6 特殊功能寄存器

PWRC: 电源控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LPM	VRST<1:0>		N_RSTI	N_TO	N_PD	N_POR	N_BOR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	1	1	1	1	1	0	1

- Bit 7 LPM: 休眠模式选择位
0: IDLE0 模式
1: IDLE1 模式
- Bit 6~5 VRST<1:0>: LDO 稳定时间选择位
00: 约 8 个 WDT_RC 时钟周期
01: 约 16 个 WDT_RC 时钟周期
10: 约 32 个 WDT_RC 时钟周期
11: 约 64 个 WDT_RC 时钟周期
- Bit 4 N_RSTI: 复位指令标志位
0: 执行复位指令 (清零后必须用软件置位)
1: 未执行复位指令
- Bit 3 N_TO: WDT 溢出标志位
0: WDT 计数溢出时被清零
1: 上电复位或执行 CWDT、IDLE 指令后被置 1
- Bit 2 N_PD: 低功耗标志位
0: 执行 IDLE 指令后清零
1: 上电复位或执行 CWDT 指令后置 1
- Bit 1 N_POR: 上电复位状态位
0: 上电复位发生 (上电复位后, 必须软件置位)
1: 无上电复位发生
- Bit 0 N_BOR: 低电压复位状态位
0: 低电压复位发生 (低电压复位后, 必须软件置位)
1: 无低电压复位发生

注: LDO 为芯片内置供电模块, 给芯片内部电路模块供电, 建议客户配置为默认值。

PWEN: 功耗控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LPOSCF	CFGRSTF	MRSTF	PORLOST	BORFLT<1:0>		RCEN	SREN
R/W	R	R/W	R/W	R	R/W	R/W	R/W	R/W
RESET	0	0	0	0	1	0	1	1

- Bit 7 LPOSCF: LP 晶振稳定标志位（未使用）
0: 保留
1: 保留
- Bit 6 CFGRSTF: 配置信息加载状态位（芯片测试用）
0: 已发生加载（加载配置信息后，必须软件置 1）
1: 未发生加载
- Bit 5 MRSTF: 外部复位状态位
0: 已发生外部复位（外部复位后，必须软件置 1）
1: 未发生外部复位
- Bit 4 PORLOST: 上电复位失效状态位
0: 已发生上电复位
1: 未发生上电复位
- Bit 3~2 BORFLT<1:0>: BOR 滤波时间选择位
00: 约 3 个 WDT_RC 时钟周期
01: 约 5 个 WDT_RC 时钟周期
10: 约 7 个 WDT_RC 时钟周期
11: 约 9 个 WDT_RC 时钟周期
- Bit 1 RCEN: WDT 内部 RC 时钟使能位
0: 关闭 WDT 内部 RC 时钟
1: 使能 WDT 内部 RC 时钟
- Bit 0 SREN: 低电压检测复位软件使能位（建议设置为 1）
当配置字 BOREN 使能时：
在 IDLE 状态下，
0: 禁用
1: 使能
在非 IDLE 状态下，一直使能，和此位无关
当配置字 BOREN 禁止时，此位无效

注 1: 为了保证系统工作的可靠性，建议 SREN 的设置 1;

注 2: RCEN 的设置，如果进行数据 FLASH 擦写操作时，必须设置 RCEN=0，关闭 WDT 功能模块;

注 3: 退出 IDLE 模式时，硬件自动使能 RCEN=1，需要软件重新关闭。

5.4 低功耗操作

5.4.1 MCU低功耗模式

芯片支持两种休眠模式：IDLE0 模式和 IDLE1 模式。

◆ IDLE0 模式

- 时钟源停振，主系统时钟暂停
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
- 支持低功耗唤醒，唤醒时间可配，同时需要考虑 LDO 稳定时间
- 所有 I/O 端口将保持进入 IDLE0 模式前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N_PD 位被清零，N_TO 位被置 1

◆ IDLE1 模式

- 时钟源保持运行，主系统时钟暂停
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
- 支持低功耗唤醒，唤醒时间可配，最小 1 个机器周期
- 所有 I/O 端口将保持进入 IDLE1 前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N_PD 位被清零，N_TO 位被置 1

5.4.2 低功耗模式配置

两种低功耗模式 IDLE0 和 IDLE1 模式的选择，由 PWRC 寄存器中的 LPM 位控制。当 LPM = 0 时，执行 IDLE 指令，芯片进入 IDLE0 模式；当 LPM = 1 时，执行 IDLE 指令，芯片进入 IDLE1 模式。

LPM (PWRC<7>)	低功耗模式
0	IDLE0 模式
1	IDLE1 模式

表 5-1 低功耗模式配置表

为了降低功耗，所有 I/O 管脚都应保持为 VDD 或 VSS。为了避免输入管脚悬空而引入开关电流，应在外部将高阻输入的 I/O 管脚拉为高电平或低电平，N_MRST 管脚必须处于逻辑高电平。

5.4.3 IDLE唤醒方式配置

当系统进入低功耗模式后，程序处于暂停状态，以下几种方式可将系统唤醒。

序号	唤醒方式	中断屏蔽	中断使能	中断模式	备注
1	N_MRST	—	—	—	—
2	WDT	—	—	—	WDT 溢出
3	KINT	KMSK0	KIE	默认/向量	—
		KMSK1			
		KMSK2			
		KMSK3			

序号	唤醒方式	中断屏蔽	中断使能	中断模式	备注
4	PINTx	—	PIEx	默认/向量	—
5	ACP1INT	—	ACP1IE	默认/向量	—
6	LVDINT	—	LVDIE	默认/向量	—
7	T11INT	—	T11IE	默认/向量	异步计数
8	T12INT	—	T12IE	默认/向量	异步计数
9	T13INT	—	T13IE	默认/向量	异步计数

表 5-2 唤醒方式配置表

注 1：低功耗唤醒与全局中断使能无关。在低功耗模式时，若外设产生中断信号，即使默认中断模式下，全局中断使能 GIE 为 0，或向量中断模式下，高优先级中断使能 GIE 和低优先级中断使能 GIEL 均为 0，低功耗模式依然会被唤醒，只是唤醒后不会执行中断程序。

注 2：外部按键，当中断使能和中断屏蔽位使能前，先对端口寄存器进行读或者写的操作，清除中断标志位，以免误产生中断。

5.4.4 唤醒时序图

芯片处于 IDLE0 休眠模式时，当唤醒事件发生后，芯片经过固定的唤醒时序后，才执行 IDLE 下一条指令。

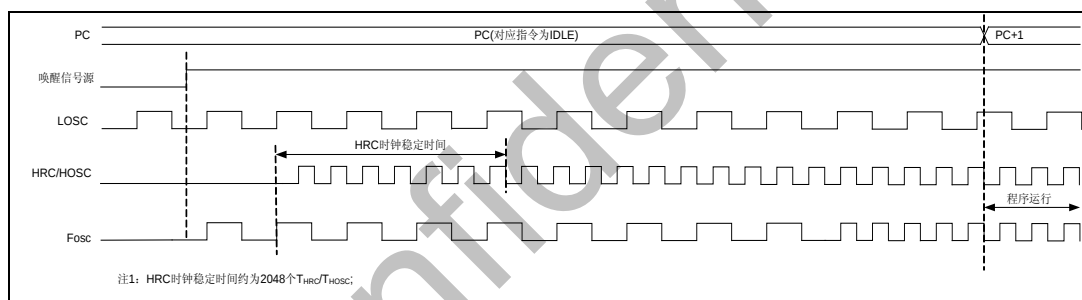


图 5-8 系统时钟为 HRC 时，系统唤醒 IDLE0 的时序图

芯片处于 IDLE1 休眠模式时，当唤醒事件发生后，芯片需要在主时钟运行 n 个周期后才执行 IDLE 下一条指令。 n 可以通过 WKDC 寄存器 bit 7~bit 0 进行设置，00H 时延时最短，FFH 时延时最长。在 IDLE1 模式下，支持最小 1 个机器周期的唤醒时间。在 IDLE0 模式下，需要先等主时钟源稳定后，再计算 n 个周期。

低功耗模式	计算公式
IDLE0 模式	$64 \times T_{wdt_rc} + (WKDC[7:4] + 1) \times 16 \times 2 T_{osc}$
IDLE1 模式	$(WKDC[7:0] + 1) \times 2 T_{osc}$

表 5-3 唤醒时间计算表

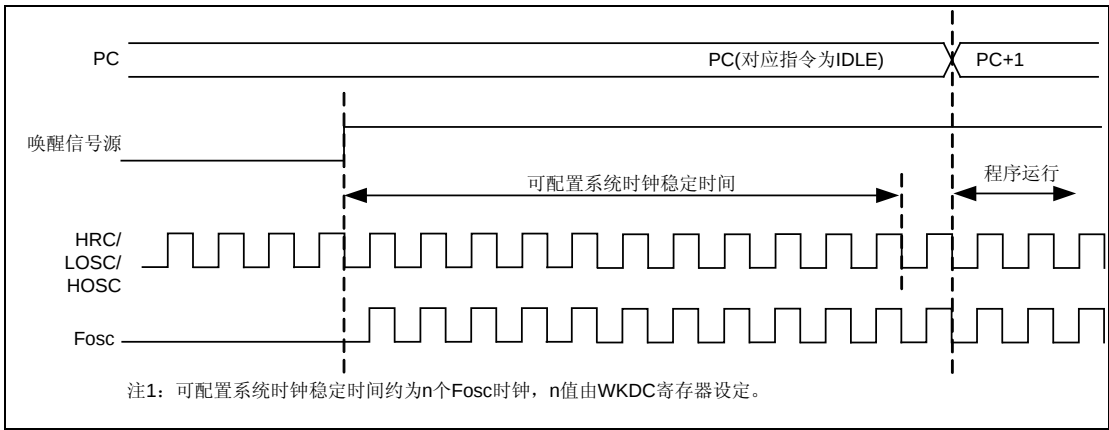


图 5-9 系统时钟为 HRC 时，系统唤醒 IDLE1 的时序图

5.4.5 特殊功能寄存器

WKDC：唤醒延时控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WKDC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	1	1	1	1	1	1	1

Bit 7~0 WKDC<7:0>：唤醒延时时间设置位
00H：延时最短
.....
FFH：延时最长

第 6 章 MCU—外设

6.1 定时/计数器 (Timer/Counter) 模块

定时/计数器模块包括一组 8 位定时器/计数器 T8N, 3 组 12 位带死区互补的增强型 PWM 时基定时器 T11/T12/T13。

6.1.1 8 位定时/计数器 (T8N)

6.1.1.1 概述

8 位定时器/计数器包括定时器和计数器两种工作模式。定时器模式根据寄存器制定的定时时间进行定时, 可以使定时器有选择地产生中断请求或完成其它操作。计数器模式用于对外部时钟信号 (T8NCKI) 进行计数。

- ◆ T8N 支持两种工作模式
 - 定时器模式 (时钟源为系统时钟二分频 ($F_{osc}/2$) 或者 WDT_RC (LRC) 时钟)
 - 同步计数器模式 (时钟源为外部输入时钟 T8NCKI)
- ◆ T8N 支持以下功能组件
 - 8 位预分频器 (无实际物理地址, 不可读写)
 - 8 位计数器寄存器 (T8N)
 - 8 位控制寄存器 (T8NC)
- ◆ 中断和暂停
 - 支持溢出中断标志 (T8NIF)
 - 支持中断处理
 - 在 IDLE 模式下, T8N 暂停工作

6.1.1.2 内部结构图

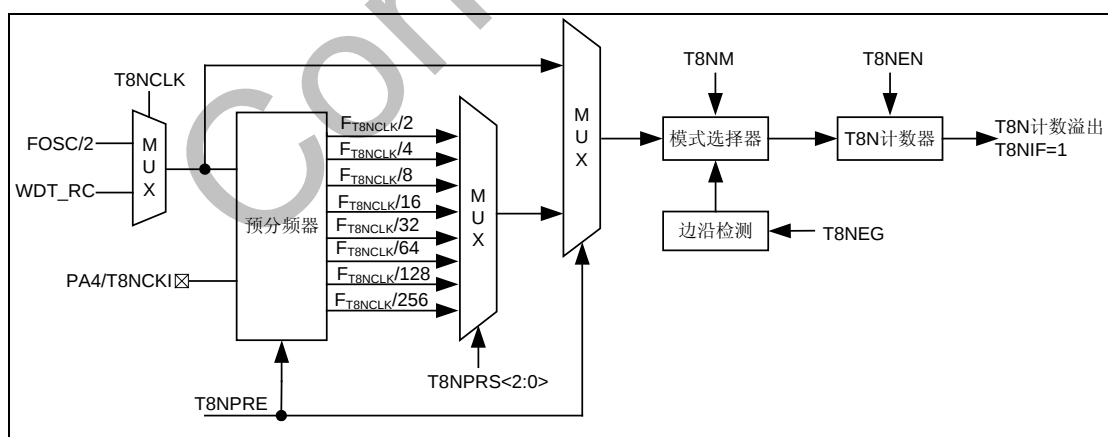


图 6-1 T8N 内部结构图

6.1.1.3 预分频器

预分频器可以提供定时器/计数器一个更长的溢出周期。当 T8NC 寄存器中的 T8NPRE 为“1”时, 使能 T8N 预分频器。任何对 T8N 计数器的写操作都会清零预分频器, 但不影响预分频器的分频比设置, 预分频器的计数值无法读写。预分频器的分频比可通过 T8NC 寄存器中的 T8NPRS <2:0> 位进行设置, 预分频比范围为 1:2~1:256。注意, 当使用 WDT_RC

为计数时钟时，必须使能预分频控制位。

工作模式	T8NPRE	T8NPRS<2:0>	T8N 计数时钟	
			T8NCLK=0	T8NCLK=1
定时器模式	0	—	Fosc/2	—
	1	000	(Fosc/2) /2	WDT_RC /2
	1	001	(Fosc/2) /4	WDT_RC /4
	1	010	(Fosc/2) /8	WDT_RC /8
	1	011	(Fosc/2) /16	WDT_RC /16
	1	100	(Fosc/2) /32	WDT_RC /32
	1	101	(Fosc/2) /64	WDT_RC /64
	1	110	(Fosc/2) /128	WDT_RC /128
	1	111	(Fosc/2) /256	WDT_RC /256
工作模式	T8NPRE	T8NPRS<2:0>	T8N 计数时钟	
计数器模式	0	—	T8NCKI	
	1	000	T8NCKI /2	
	1	001	T8NCKI /4	
	1	010	T8NCKI /8	
	1	011	T8NCKI /16	
	1	100	T8NCKI /32	
	1	101	T8NCKI /64	
	1	110	T8NCKI /28	
	1	111	T8NCKI /256	

表 6-1 T8N 预分频器配置表

6.1.1.4 工作模式

T8N 有两种工作模式，定时器模式和计数器模式，通过 T8NM 进行选择。定时器和计数器计数模式均支持预分频器。配置为定时器模式时，T8N 计数器的时钟源可通过 T8NC 寄存器中的 T8NCLK 位选择为系统时钟 2 分频（Fosc/2）或 WDT_RC；配置为计数器模式时，T8N 计数器的时钟源为经二分频后的系统时钟 Fosc/2 或 WDT_RC 同步的外部输入时钟 T8NCKI，因此 T8NCKI 输入时钟信号的高电平和低电平时间都至少为一个机器周期。通过 T8NC 寄存器中的 T8NEG 位选择外部时钟的计数边沿为上升沿或下降沿。T8NCKI 所在 IO 端口必须配置为数字输入状态。

T8NM	T8NCLK	工作模式	时钟源
0	0	定时器模式	Fosc/2
0	1	定时器模式	WDT_RC
1	0	同步计数器模式	T8NCKI

表 6-2 T8N 工作模式配置表

6.1.1.5 定时器模式

T8N 计数器为递增计数，计数值由 FFH 变为 00H 时，T8N 计数器发生溢出并重新开始计数。T8N 计数器发生溢出时，中断标志 T8NIF 位被置“1”，产生 T8N 溢出中断。在 CPU 进入休眠模式后，T8N 模块不工作，因此不产生中断。

当 T8N 配置为定时器模式时，若禁止预分频器，则 T8N 计数器的时钟为系统时钟二分频（Fosc/2）或 WDT_RC；若使能预分频器，分频器对 Fosc/2 或 WDT_RC 进行分频，此时，T8N 计数器的计数时钟为分频后的时钟。

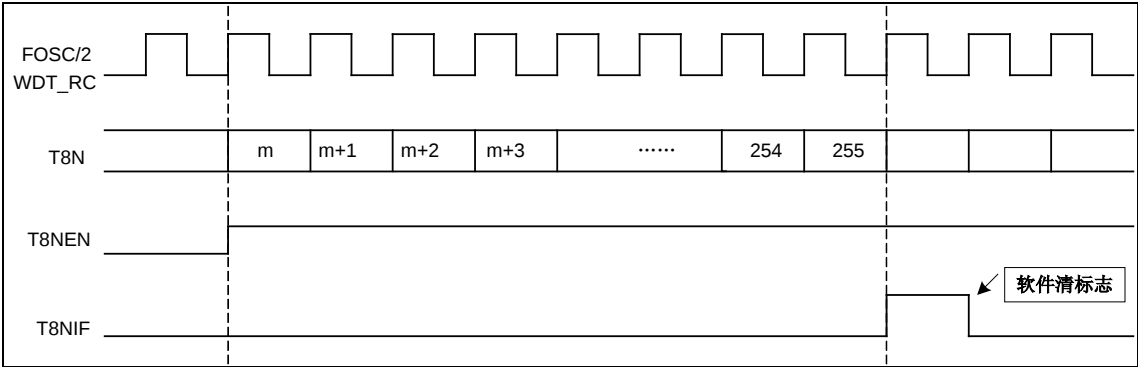


图 6-2 定时器模式时序图

6.1.1.6 同步计数器模式

当 T8N 配置为同步计数器模式时，若禁止预分频器，T8N 计数器的时钟为外部输入时钟 T8NCKI，内部相位时钟 p2 将对时钟 T8NCKI 进行同步。所以 T8NCKI 保持高电平或者低电平的时间至少为一个机器周期。通过设置 T8NEG (T8NC<4>)选择外部时钟的计数边沿为上升沿或下降沿。

同样，同步计数器模式也支持预分频器对外部时钟 T8NCKI 进行分频。并且，T8NCKI 复用的 IO 端口必须配置为数字输入状态。

T8N 计数器为递增计数，计数值由 FFH 变为 00H 时，T8N 计数器发生溢出并重新开始计数。T8N 计数器发生溢出时，中断标志 T8NIF 位被置“1”，产生 T8N 溢出中断。在 CPU 进入休眠模式后，T8N 模块不工作，因此不产生中断。

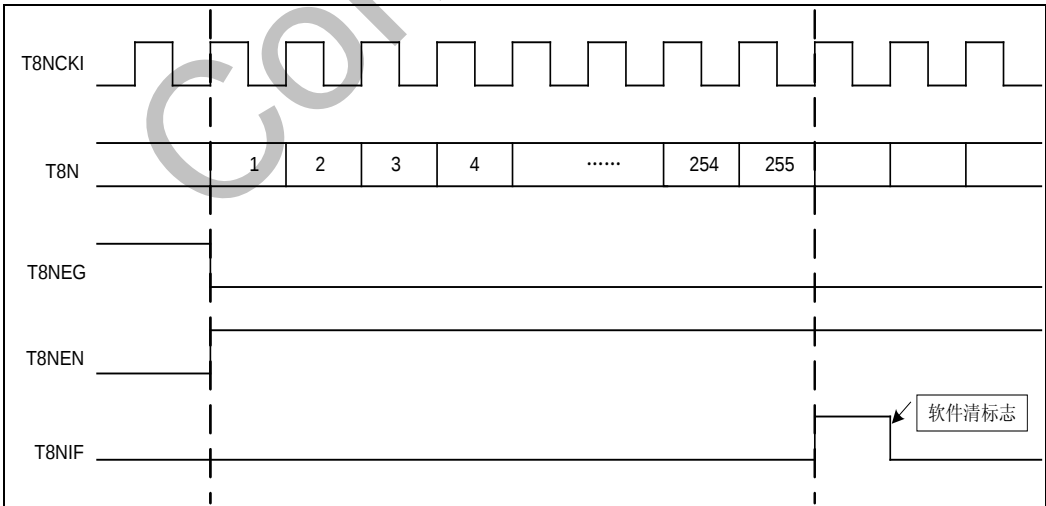


图 6-3 计数器模式时序图（T8NEG=0，T8NCKI 上升沿计数）

6.1.1.7 特殊功能寄存器

8 位定时器/计数器 T8N 由两个寄存器控制，一个 8 位计数器寄存器 T8N 和一个控制寄存器 T8NC。T8N 寄存器用于存放计数值，T8NC 控制寄存器用于控制 T8N 的使能、T8N 的模式选择、T8NCKI 计数边沿选择、预分频器使能位以及预分频器分频比选择。

T8N: T8N 计数器寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8N <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 T8N <7:0>: 8 位 T8N 计数值

T8NC: T8N 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8NEN	T8NCLK	T8NM	T8NEG	T8NPRE	T8NPRS<2:0>		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7 T8NEN: T8N 模块使能位

0: 关闭

1: 使能

Bit 6 T8NCLK: T8N 定时时钟选择 WDT_RC 时钟使能位

当使用 WDT_RC 时钟为计数时钟时, 必须使能 T8N 的预分频控制位, 即 T8NPRE=1

0: 禁止

1: 使能

Bit 5 T8NM: T8N 模式选择位

0: 定时器模式

1: 同步计数器模式

Bit 4 T8NEG: T8NCKI 同步计数边沿选择位

0: T8NCKI 上升沿计数

1: T8NCKI 下降沿计数

Bit 3 T8NPRE: 预分频器使能位

0: 禁止

1: 使能

Bit 2~0 T8NPRS <2:0>: 预分频器分频比选择位

000: 1:2

001: 1:4

010: 1:8

011: 1:16

100: 1:32

101: 1:64

110: 1:128

111: 1:256

6.1.2 12 位带死区互补的增强型PWM时基定时器 (T11/T12/T13)

6.1.2.1 概述

- ◆ T1x 支持四类工作模式
 - 定时器/计数器模式
 - 捕捉模式
 - 单脉冲发射模式
 - PWM 模式
- ◆ 定时器/计数器模式可分为三种工作模式
 - 定时器模式 (时钟源为系统时钟 Fosc)
 - 同步计数器模式 (时钟源为外部 LP 振荡时钟, 未使用)
 - 异步计数器模式 (时钟源为外部 LP 振荡时钟, 未使用)
- ◆ T1x 支持以下功能组件
 - 5 位的预分频器 1、4 位的预分频器 2 和后分频器 (无实际物理地址, 软件不可读写)
 - 12 位计数器 (T1xL 和 T1xH)
 - 12 位精度寄存器 (T1xRL 和 T1xRH)
 - 12 位周期寄存器 (T1xPL 和 T1xPH)
 - 控制寄存器 (T1xC 和 T1xCH)
 - 捕捉控制寄存器 (T1xCAPC)
 - 全程循环计数次数寄存器 (T1xCNTM)
 - PWM 输出控制寄存器 (T1xOC)
 - PWM 配置寄存器 (PWMxC)
 - PWM 死区控制寄存器 (PDDxC)
 - PWM 自动关断寄存器 (TExAS)
 - PWM 沿检测延时寄存器 (TMRADC)
- ◆ PWM 模式
 - 最多支持 6 路 PWM 输出
 - PWM 死区设置
 - PWM 互补输出
 - PWM 关断事件
 - PWM 自动重启
 - PWM 沿启动 AD 转换
- ◆ 中断和暂停
 - 支持匹配中断标志 (T1xIF)
 - 支持 PWM 周期中断标志 (T1xPIF)
 - 支持中断处理
 - 在 IDLE 模式下, 异步计数器模式, 中断可唤醒 CPU (未使用)

6.1.2.2 内部结构图

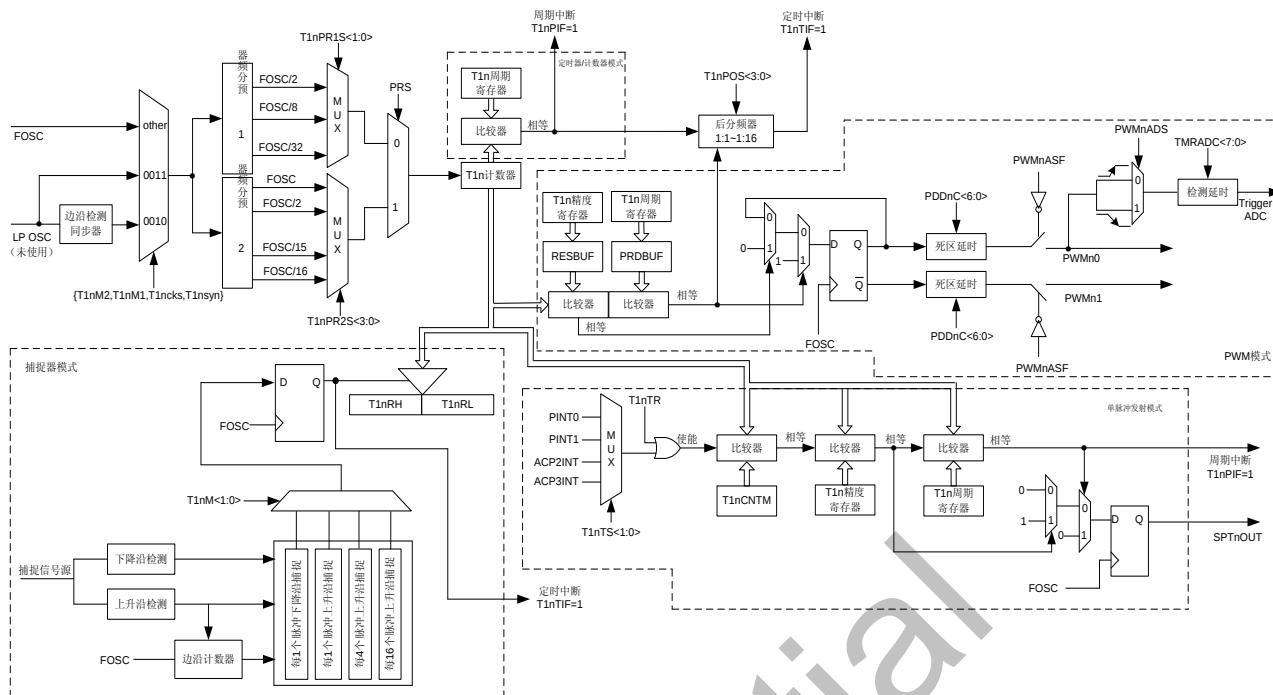


图 6-4 T1x 定时器结构图

6.1.2.3 时钟源配置

T1x 支持 2 种时钟源：系统时钟（Fosc）和外部 LP OSC（未使用），可通过 T1xCH 寄存器中的 T1xCKS 位选择。系统时钟（Fosc）可用于 T1x 各种工作模式，外部 LP OSC（未使用）仅可选择用于计数器模式。

T1xCKS	时钟源
0	Fosc
1	LP OSC（未使用）

表 7-3 时钟源配置表

注 1：LP OSC 为外部 LP 晶振（未使用）。

6.1.2.4 预分频和后分频器

预分频器和后分频器可以提供一个更长的溢出和中断周期。T1x 模块计数器支持 2 个预分频器和 1 个后分频器：可配置的 5 位预分频器 1、4 位预分频器 2 和可配置的 4 位后分频器。

预分频器与后分频器的计数值都无法读写，修改 T1x 的控制寄存器或计数器都会清零预分频器和后分频器，但不改变分频比设置。预分频器 1 的分频比可通过 T1xC 寄存器中的 T1xPR1S<1:0>位进行设置，预分频比范围为 1:1~1:32。预分频器 2 的分频比可通过 T1xCH 寄存器中的 T1xPR2S<3:0>位进行设置，预分频比范围为 1:1~1:16。后分频器的分频比可通过 T1xC 寄存器中的 T1xPOS<3:0>位进行设置，后分频比范围为 1:1~1:16，通过计数器与周期寄存器值的匹配，来进行后分频。

PRS=0	PRS=1	T1x 计数时钟
-------	-------	----------

T1XPR1S<1:0>	T1XPR2S<3:0>	
—	0000	Fosc
00	0001	Fosc/2
—	0010	Fosc/3
—	0011	Fosc/4
—	0100	Fosc/5
—	0101	Fosc/6
—	0110	Fosc/7
01	0111	Fosc/8
—	1000	Fosc/9
—	1001	Fosc/10
—	1010	Fosc/11
—	1011	Fosc/12
—	1100	Fosc/13
—	1101	Fosc/14
—	1110	Fosc/15
—	1111	Fosc/16
1x	—	Fosc/32

表 6-4 T1x 预分频配置表

T1xPOS<3:0>	T1x 匹配中断
0000	计数器与周期寄存器匹配 1 次
0001	计数器与周期寄存器匹配 2 次
0010	计数器与周期寄存器匹配 3 次
0011	计数器与周期寄存器匹配 4 次
0100	计数器与周期寄存器匹配 5 次
0101	计数器与周期寄存器匹配 6 次
0110	计数器与周期寄存器匹配 7 次
0111	计数器与周期寄存器匹配 8 次
1000	计数器与周期寄存器匹配 9 次
1001	计数器与周期寄存器匹配 10 次
1010	计数器与周期寄存器匹配 11 次
1011	计数器与周期寄存器匹配 12 次
1100	计数器与周期寄存器匹配 13 次
1101	计数器与周期寄存器匹配 14 次
1110	计数器与周期寄存器匹配 15 次
1111	计数器与周期寄存器匹配 16 次

表 6-5 T1x 后分频器配置表

6.1.2.5 工作模式

T1x 提供 4 类工作模式，定时器/计数器模式（计数器模式未使用）、PWM 模式、捕捉模式和单脉冲发射模式，通过 T1xCH 寄存器中的 T1xM2 位和 T1xC 寄存器中的 T1xM1 位进行模式选择。定时器/计数器模式（计数器模式未使用）根据时钟源不同及外部时钟输入

（外部时钟未使用）是否同步，又可分为定时器模式、同步计数器模式（未使用）、异步计数器模式（未使用），可通过 T1xCH 寄存器中的 T1xCKS 位和 T1xSYN 位选择。

T1xM2, T1xM1	T1xCKS	T1xSYN	工作模式
00	0	x	定时器模式
00	1	0	同步计数器模式（未使用）
00	1	1	异步计数器模式（未使用）
01	0	x	PWM 模式
10	0	x	捕捉模式
11	0	x	单脉冲发射模式

表 6-6 T1x 工作模式配置表

6.1.2.6 定时器模式

当 T1xM2=0, T1xM1=0, T1xCKS=0 时, T1x 配置为定时器模式。

在定时器模式下, T1x 计数器的时钟源为系统时钟 Fosc, 并支持预分频器和后分频器。可选择预分频器对计数时钟进行分频, 计数器的计数时钟为分频后的时钟。

T1x 在定时器模式下对计数时钟进行递增计数, 当 T1x 的计数值与周期寄存器 T1xP 相等时, T1x 被自动清零并重新开始计数, 后分频器加 1 计数。当后分频器的计数值与后分频器分频比相同时, 复位后分频器, 并将定时中断标志 T1xIF 置“1”, 该中断标志需要软件清零。

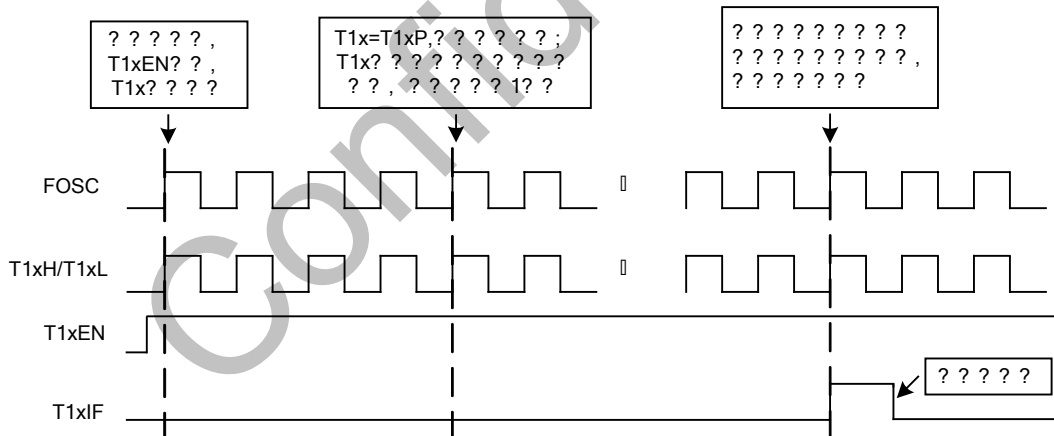


图 6-5 T1x 定时器模式时序图

6.1.2.7 同步计数模式（未使用）

当 T1xM2=0, T1xM1=0, T1xCKS=1, T1xSYN=0 时, T1x 工作在同步计数器模式。当同步计数模式下, 时钟源为外部 LP 振荡时钟 LP OSC。外部 LP 振荡器输入时钟经过系统时钟同步后作为计数时钟源, 并支持预分频器和后分频器。可选择预分频器对计数时钟进行分频, 计数器的计数时钟为分频后的时钟。

此工作模式要求外部输入时钟的高/低电平时间, 至少保持 1 个机器周期。

T1x 在同步计数模式下对计数时钟进行递增计数, 当 T1x 的计数值与周期寄存器 T1xP 相等时, T1x 被自动清零并重新开始计数, 后分频器加 1 计数。当后分频器的计数值与

后分频器分频比相同时，复位后分频器，并将定时中断标志 $T1xIF$ 置“1”，该中断标志需要软件清零。

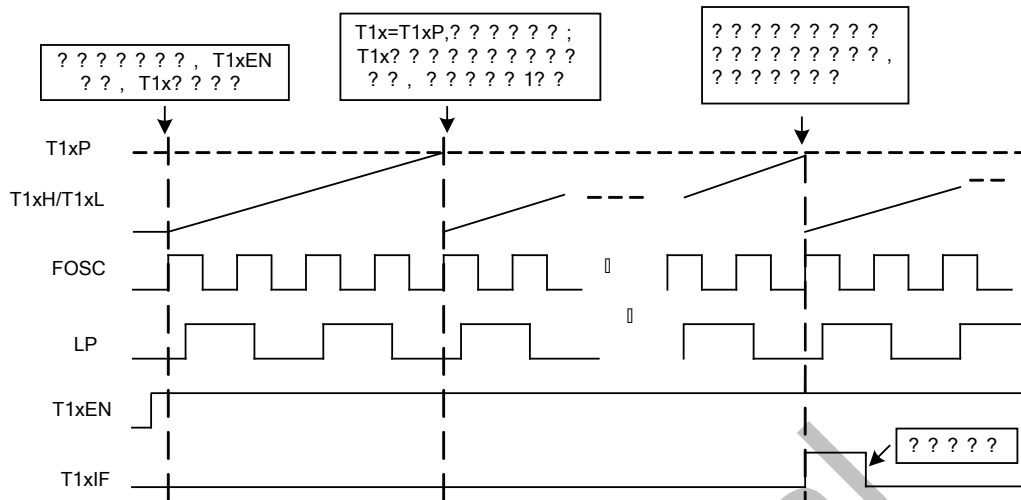


图 6-6 T1x 同步计数模式时序图

6.1.2.8 异步计数模式（未使用）

当 $T1xM2=0$, $T1xM1=0$, $T1xCKS=1$, $T1xSYN=1$ 时, $T1x$ 工作在异步计数器模式。时钟源为外部 LP 振荡时钟 LP OSC。外部输入时钟不经系统时钟同步。

异步计数模式支持预分频器和后分频器，可选择预分频器对计数时钟进行分频，计数器的计数时钟为分频后的时钟。

$T1x$ 在异步计数模式下对计数时钟进行递增计数，当 $T1x$ 的计数值与周期寄存器 $T1xP$ 相等时， $T1x$ 被自动清零并重新开始计数，后分频器加 1 计数。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将定时中断标志 $T1xIF$ 置“1”，该中断标志需要软件清零。

在 IDLE 模式下，计数器保持计数。

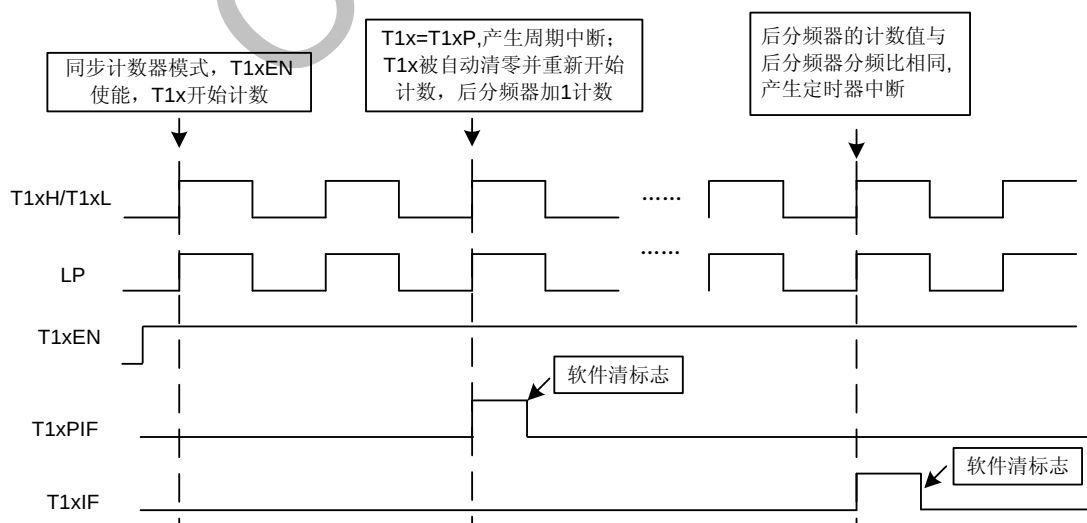


图 6-7 T1x 异步计数模式时序图

注 1: 当 T1x 计数时钟源为 LP OSC (未使用) 时, 在同步计数模式下, 系统时钟必须配置为内部 INTOSC 时钟源; 在异步计数模式下, 系统时钟可配置为内部 INTOSC 或者 LP OSC 时钟源 (未使用);

注 2: 外部 LP OSC (未使用) 是否稳定, 可通过查询 PWEN 寄存器中 LPOSCF 标志位进行判断。

6.1.2.9 捕捉功能扩展

当 T1xM2=1, T1xM1=0 时, 为捕捉器功能扩展。在此模式下, T1x 对 T1xCI、模拟比较器输出和 PWM 输出等输入信号进行实时监测, 在初始化 T1x 时, 必须将相应的 T1xCI 端口所在的管脚设置成输入状态。

T1x 配置为捕捉模式时, 时钟源为系统时钟 Fosc。12 位计数器 T1x (T1nH, T1nL) 进行递增计数, 当输入信号的变化状态满足捕捉条件时, 将 T1x 计数器的值捕捉到寄存器 (T1xRH:T1xRL) 中, 并产生捕捉中断, 产生的中断标志必须由软件清零。当捕捉条件满足时, 若 T1xRH/T1xRL 内的捕捉值未被及时读取, 那么当下次捕捉条件满足时, 会被新的捕捉值覆盖。

T1x 为捕捉器功能时, 预分频器可使用。但改变捕捉条件时, 预分频器不会被清零。因此, 当切换捕捉条件后, 首次捕捉时, 预分频器的计数初值可能不为 0。

T1x 支持 4 种捕捉条件, 可通过 T1xCAPC 寄存器 T1xCAP<1:0>选择捕捉条件:

- 捕捉每 1 个下降沿脉冲
- 捕捉每 1 个上升沿脉冲
- 捕捉每 4 个上升沿脉冲
- 捕捉每 16 个上升沿脉冲

T1x 支持 1 个用于捕捉条件判断的边沿计数器。此边沿计数器仅在捕捉模式有效。当 T1x 关闭或切换为其它模式时, 该边沿计数器被清零。但在 T1x 的 4 种捕捉条件相互切换时, 该边沿计数器不会被清零。因此, 当切换捕捉模式后, 首次捕捉可能存在误差, 同时也可能导致错误的中断产生。为了避免产生错误中断, 用户在改变模式时应该禁止 T1x 相应中断使能位, 并且清除中断标志。

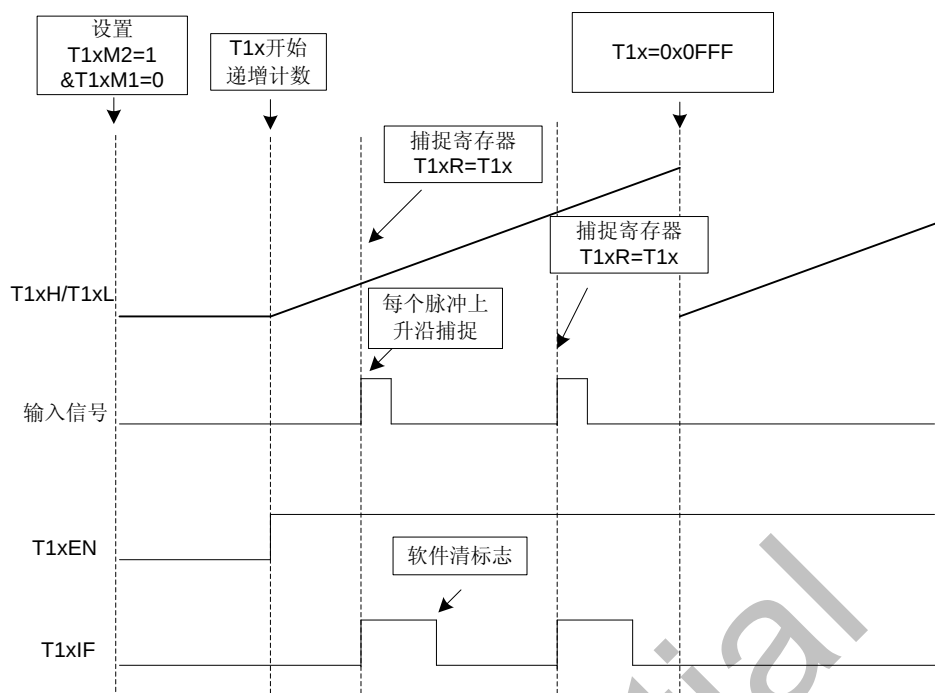


图 6-8 T1x 捕捉模式时序图（每个脉冲上升沿捕捉信号）

6.1.2.10 单脉冲发射模式

当 $T1xM2=1$, $T1xM1=1$ 时，为单脉冲发射模式。

此模式通过 $PINTx$ 条件触发或软件置位触发，在等待一定周期（由寄存器 $T1xR$ 和 $T1xCNTM$ 设置）后，由 $PWMx0$ 输出一定周期宽度（由 $T1xP$ 寄存器设置）的单脉冲。如图示：

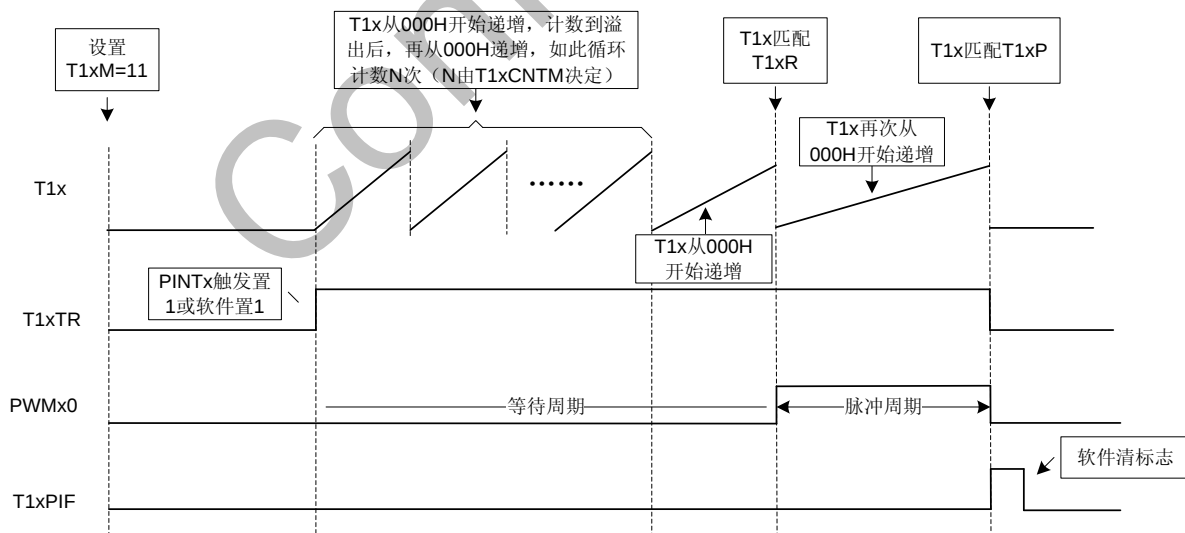


图 6-9 T1x 单脉冲发射模式示意图

◆ 计数器和分频器

此模式下预分频器可用，后分频器不可用。进入此工作模式后计数器先清 0 并处于等待状态（ $T1x=00H$ ），触发后（ $T1xTR$ 被置 1），先进行一次等待周期计数；清 0 后，再进行一次发射周期计数。发射周期计数完成后，将 $T1xTR$ 位硬件清 0，同时将周期中断标

志 T1xPIF 置 1。并再次清 0 进入等待状态，等待下一次触发事件。

注：T1xTR 保持为 1 时，如再发生触发事件，将被忽略。

◆ 触发事件

支持三种触发事件：PINTx 端口外部中断事件、模拟比较器 2/3 中断事件（硬件将 T1xTR 位置 1）和软件将 T1xTR 位置 1。

◆ 等待周期和发射周期

等待周期 = T1x 计数时钟周期 $\times (4096 \times T1xCNTM + (T1xR+1))$

发射周期 = T1x 计数时钟周期 $\times (T1xP+1)$

注：T1x 计数时钟周期为时钟源经过预分频器后的时钟周期。

6.1.2.11 PWM 模式

当 T1xM2=0, T1xM1=1, T1x 配置为 PWM 模式。计数时钟源为系统时钟 Fosc，并支持预分频器。后分频器的设置不影响 PWM 输出周期和占空比；只影响 T1xIF 中断标志位的产生。

在起始周期内，PWM 输出始终为 0。当 T1x 从初始值递增计数到与周期寄存器 T1xP 的周期缓冲寄存器相等时，精度寄存器 T1xR 的数值被载入精度缓冲寄存器，并产生中断标志 T1xPIF。T1xP 的周期缓冲寄存器和精度缓冲寄存器不可读写。

起始周期完成后，T1x 从零开始重新计数，PWM 输出为 1，当 T1x 与精度缓冲寄存器的值相等时，PWM 输出改变为 0。当 T1x 的计数值与 T1x 的周期缓冲寄存器再次相等时，PWM 输出恢复为 1，同时将当前 T1xR 的数值载入精度缓冲寄存器内，产生 T1xPIF 中断标志。T1x 清零又重新开始计数，循环 PWM 周期。

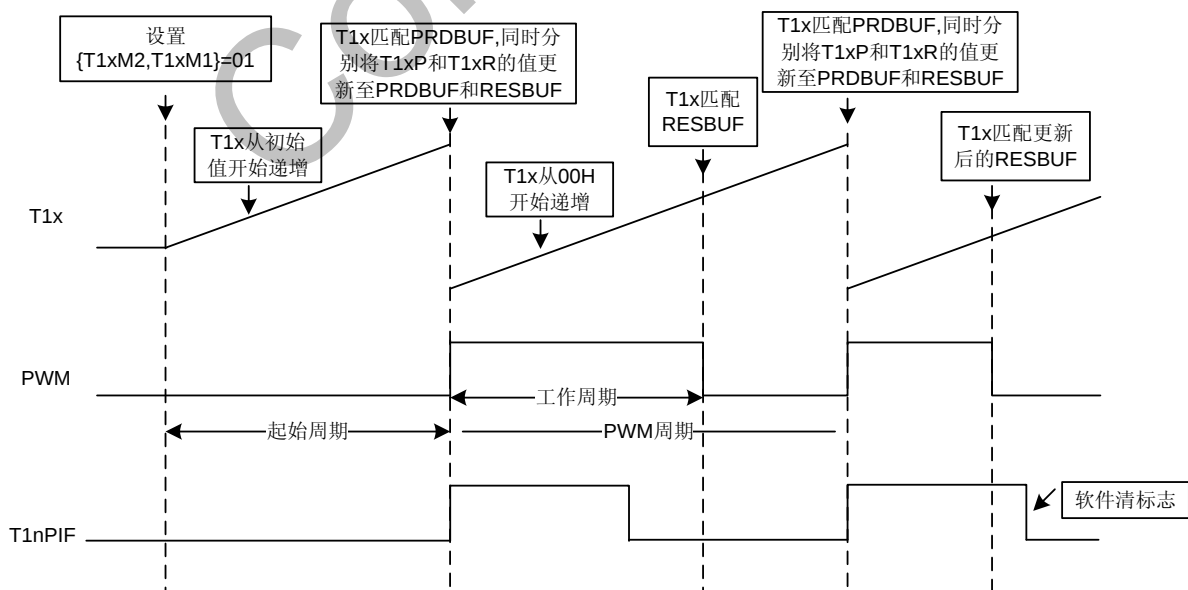


图 6-10 PWM 输出模式示意图

注 1: 若精度缓冲寄存器的值为 0, 则当前 PWM 周期内 PWM 输出始终为 0;
若精度缓冲寄存器的值大于 T1xP, 则当前 PWM 周期内 PWM 输出始终为 1。

PWM1xUD 为缓冲器即时更新使能位, 当精度和周期寄存器更新时, 如果 PWM1xUD=0, 禁止精度和周期缓冲器的即时更新, 只在当前 PWM 周期结束后才更新; 如果 PWM1xUD=1, 使能精度和周期缓冲器即时更新 (缓冲器数据更新后, 硬件自动清零 PWM1xUD)。

由于 T1xR 和 T1xP 分别是由高、低寄存器组成, 如果修改了 T1xR 或 T1xP 的值, 为了保证在下一次 PWM 周期内, T1xRL、T1xRH 或 T1xPL、T1xPH 都能同时更新到相应的缓冲寄存器内, 在应用时可以采用以下两种方式中的任意一种方式:

1) 在当前 PWM 周期结束后, 进入中断服务程序, 在中断服务程序中修改 T1xR 或 T1xP 的值:

ISR:

```

MOVl    0X03                ;周期值 0x3FF
MOVA     T1xPH
(MOVI    0X00                ;精度值 0x0FF
MOVA     T1xRH)
MOVl     0XFF
MOVA     T1xPL
(MOVI    0XFF
MOVA     T1xRL)
BSS      T1xOC,PWM1xUD      ;周期缓冲器或精度缓冲器立即更新
...      .....
    
```

2) 不进入中断服务程序, 需按以下步骤进行:

```

BCC      T1xOC,PWM1xUD
BCC      INTE0,T11PIE (BCC    INTE1,T12PIE) ;关中断
MOVl     0X03                ;周期值 0x3FF
MOVA     T1xPH
(MOVI    0X00                ;精度值 0x0FF
MOVA     T1xRH)
MOVl     0XFF
MOVA     T1xPL
    
```

```

(MOVI    0XFF

MOVA     T1xRL)

BSS      T1xOC,PWM1xUD      ;周期缓冲器或精度缓冲器立即更新

MOVI     0X00                ;计数器清零

MOVA     T1xH

MOVI     0X00

MOVA     T1xL

BCC      INTF0,T11PIF (BCC   INTF1,T12PIF) ;清除中断标志位

BSS      INTE0,T11PIE (BSS   INTE1,T12PIE) ;使能中断使能位

...      .....

```

T1x 在 PWM 模式时，可通过 PWMxC 寄存器中的 P1Mx 来选择 PWM 输出端口为标准输出或增强输出。

当 P1Mx=0 时，PWMx0、PWMx1 为 6 路 PWM 输出端口；当 P1Mx=1 时，PWMx0 与 PWMx1 为 3 组带死区互补 PWM 输出端口，此时 PWMx0 和 PWMx1 两路调制波输出之间，可设置一个可编程死区延时时间 Tdelay，来防止功率器件直通，引起瞬间大电流损坏功耗设备。

死区时间由设置的系统时钟的预分频值和死区控制寄存器 PDDxC<6:0>的值决定。
 $T_{delay} = T_{osc} \times \text{预分频比} \times (PDDxC<6:0>)$ 。死区时间必须小于 PWM 的脉宽，否则输出无效。

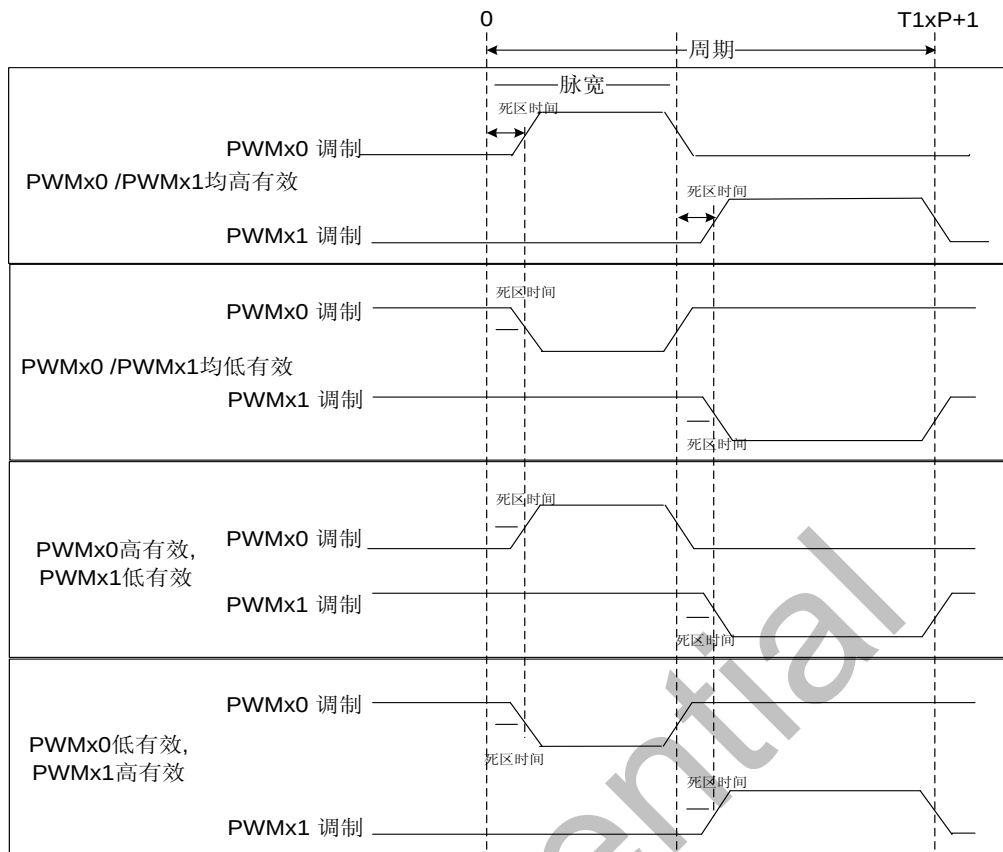


图 6-11 PWM 带死区互补输出示意图

PWM 输出端口与 I/O 端口复用，可通过 T1xOC 寄存器中的 PWMx0EN 和 PWMx1EN 进行设置选择。当此位设置为 0 时，复用端口作为普通 I/O；当此位设置为 1，并且 PWM 复用 I/O 的 PxT 设置为输出状态时，则相应的 Px 端口输出 PWM 波形。

PWM 计算公式如下：

$$\text{PWM 周期} = [T1xP+1] \times T_{osc} \times (T1x \text{ 预分频比})$$

$$\text{PWM 频率} = 1 / (\text{PWM 周期})$$

$$\text{PWM 脉宽} = T1xR \times T_{osc} \times (T1x \text{ 预分频比})$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

$$\text{PWM 分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * F_{ckps}}\right)}{\log 2} \text{ 位}$$

注 1: $T_{osc} = 1/F_{osc}$, $F_{pwm} = 1/(\text{PWM 周期})$, F_{ckps} 为 T1x 预分频比

6.1.2.12 PWM 关断事件和重启

本芯片支持两种关断事件，PA3/N_EPAS 管脚输入“0”关断事件和模拟比较器

ACP1~4 输出“0”关断事件。

当自动关断位 PWMxAS0 使能, PA3/N_EPAS 管脚输入为“0”时, 会发生自动关断事件。

当自动关断位 PWMxAS1 和比较器 ACP1 使能位使能, ACP1 输出为“0”时, 会发生自动关断事件。

当自动关断位 PWMxAS2 和比较器 ACP2 使能位使能, ACP2 输出为“0”时, 会发生自动关断事件。

当自动关断位 PWMxAS3 和比较器 ACP3 使能位使能, ACP3 输出为“0”时, 会发生自动关断事件。

当自动关断位 PWMxAS4 和比较器 ACP4 使能位使能, ACP4 输出为“0”时, 会发生自动关断事件。

当关断事件发生后, PWM 输出管脚处于关断状态, 管脚的关断状态可通过设置寄存器 TExAS<3:0>位控制, PWM 输出管脚可以被设置输出为“1”、“0”或者高阻(三态)。在关断状态下, 关断事件标志位 PWMxASF (PWMxAS<7>)置 1。如果关断事件未撤离, 关断事件标志位不能被清零。

在关断状态下, 如果 PWM 重启控制位 PRSENx (PDDxC<7>) 位为 1, 当关断事件撤离后, 硬件会自动清零 PWMxASF, 并在下一个 PWM 周期重启 PWM 功能; 如果 PRSENx 位为 0, 当关断事件撤离后, 需要用软件清零 PWMxASF 重启 PWM 功能; PWM 重启后, PWM 的输出会在下一个 PWM 周期正常输出。

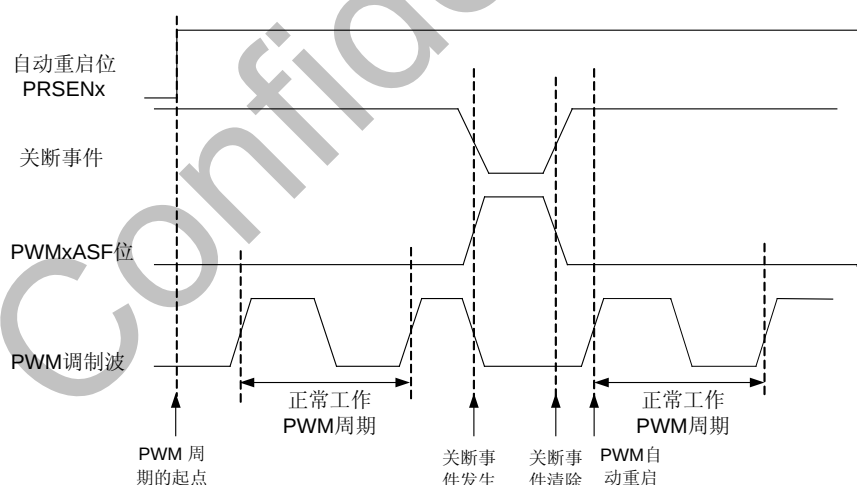


图 6-12 PWM 关断与自动重启

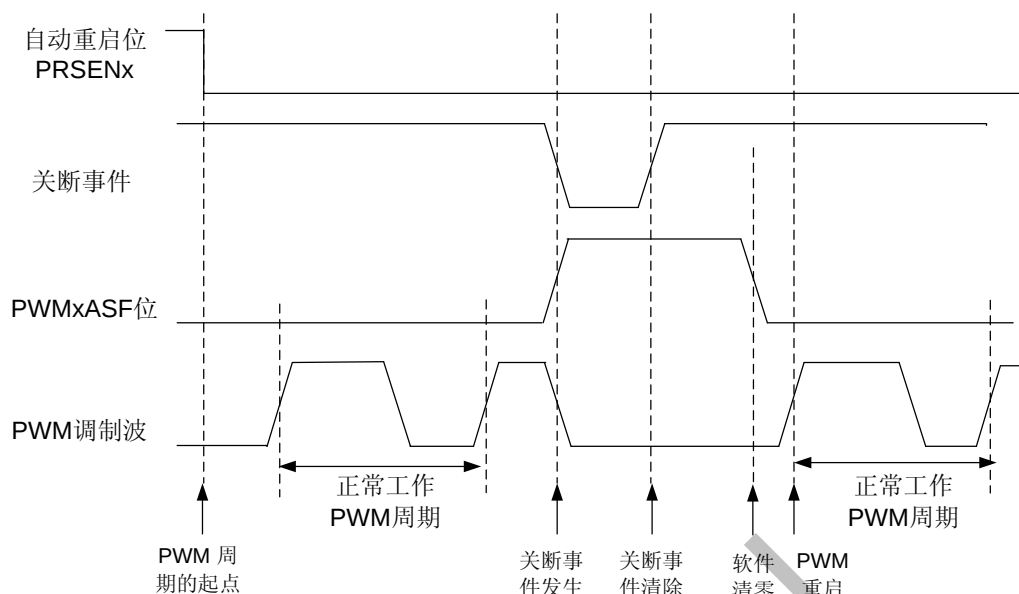


图 6-13 PWM 关断与软件重启

启动注意事项:

注 1: PWMxC<1:0>位允许用户为每一组 PWM 输出引脚选择输出有效信号。避免导致应用电路的损坏, 因此不推荐在 PWM 管脚为输出状态时, 改变输出极性的配置。

注 2: 在 PWM 功能扩展模块初始化工作完成后, 再将 PWMx0 和 PWMx1 所在的 IO 管脚设置为输出状态。

6.1.2.13 PWM沿启动A/D转换

当 A/D 转换使能位 ADEN (ADCCL<0>) 为 1, A/D 转换器使能, 且 A/D 采样模式选择位 SMPS (ADCCL<2>) 位为 1, 硬件采样使能时, 支持 PWM 输出沿启动 A/D 转换。为了保证有效沿启动 A/D 转换, 在 PWM 输出沿后增加了可配置延时滤波电路。当 PWM 沿启动 ADC 使能位 PWMxADEN (PWMxC<7>) 置为 1 时, 通过软件配置 8 位 PWM 沿检测延时寄存器 TMRADC。设置 PWM 沿启动 ADC 选择位 PWMxADS (PWMxC<3>) 选择启动沿, 当 PWMxADS 为 0 时, 内部计数器在 PWM 的上升沿开始计数; 当 PWMxADS 为 1 时, 内部计数器在 PWM 的下降沿开始计数。当计数器计数值大于 TMRADC 时, 产生启动 A/D 转换的触发信号, 硬件自动启动 A/D 转换。

在 A/D 转换还未完成前, 硬件自动屏蔽启动 A/D 转换的 PWM 触发信号沿。

内部计数器计数时钟为系统时钟 Fosc。在 IDLE 模式下, PWM 跳变沿不能触发 A/D 转换。

6.1.2.14 特殊功能寄存器

T1xL: T1x 低 8 位计数器 (x<1:3>)								
Bit	7	6	5	4	3	2	1	0
Name	T1xL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T1xL <7:0>: T1x 低 8 位计数器

T1xH: T1x 高 4 位计数器 (x<1:3>)

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	T1xH<3:0>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 未使用

Bit 3~0 T1xH <3:0>: T1x 高 4 位计数器

T1xC: T1xC 控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	T1xM1	T1xPOS<3:0>				T1xEN	T1xPR1S<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 T1xM1: T1x 工作模式高位选择位 T1xM2, 低位选择位 T1xM1,

00: 定时器/计数器模式

01: PWM 模式

10: 捕捉模式

11: 单脉冲发射模式

Bit 6~3 T1xPOS<3:0>: T1x 后分频器分频比选择位

0000: 分频比为 1:1

0001: 分频比为 1:2

0010: 分频比为 1:3

...

1111: 分频比为 1:16

Bit 2 T1xEN: T1x 使能位

0: 关闭 T1x

1: 使能 T1x

Bit 1~0 T1xPR1S<1:0>: T1x 预分频器 1 分频比选择位

00: 分频比为 1:2

01: 分频比为 1:8

1x: 分频比为 1:32

T1xCH: T1xC 高位控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	T1xM2	T1xSYN	T1xCKS	PRSt	T1xPR2S<3:0>			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 T1xM2: T1x 工作模式高位选择位 T1xM2, 低位选择位 T1xM1

00: 定时器模式

01: PWM 模式

10: 捕捉模式

11: 单脉冲发射模式

Bit 6 T1xSYN: T1x 外部时钟输入同步控制位

- 0: 外部时钟输入经系统时钟同步
1: 外部时钟输入不经系统时钟同步
- Bit 5 T1xCKS: T1x 计数时钟源选择位
0: 系统时钟 Fosc
1: 外部 LP 晶振时钟
- Bit 4 PRSx: T1x 预分频器选择位
0: 预分频器 1
1: 预分频器 2
- Bit 3~0 T1xPR2S<3:0>: T1x 预分频器 2 分频比选择位
0000: 分频比为 1:1
0001: 分频比为 1:2
0010: 分频比为 1:3
0011: 分频比为 1:4
0100: 分频比为 1:5
0101: 分频比为 1:6
0110: 分频比为 1:7
0111: 分频比为 1:8
1000: 分频比为 1:9
1001: 分频比为 1:10
1010: 分频比为 1:11
1011: 分频比为 1:12
1100: 分频比为 1:13
1101: 分频比为 1:14
1110: 分频比为 1:15
1111: 分频比为 1:16

T11CAPC: 捕捉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	CAP1S<1:0>		T11CAP<1:0>		CAP1ACP4	CAP1ACP3	CAP1ACP2	CAP1ACP1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 CAP1S<1:0>: 触发捕捉信号选择位
00: T11CI
01: ACPx 输出
10: PWM20
11: T11CI、ACPx 和 PWM20
- Bit 5~4 T11CAP<1:0>: T1x 捕捉工作方式选择位
00: 捕捉每 1 个脉冲下降沿
01: 捕捉每 1 个脉冲上升沿
10: 捕捉每 4 个脉冲上升沿
11: 捕捉每 16 个脉冲上升沿
- Bit 3 CAP1ACP4: ACP4 作为捕捉信号源使能位
0: 禁止
1: 使能

- Bit 2 CAP1ACP3: ACP3 作为捕捉信号源使能位
0: 禁止
1: 使能
- Bit 1 CAP1ACP2: ACP2 作为捕捉信号源使能位
0: 禁止
1: 使能
- Bit 0 CAP1ACP1: ACP1 作为捕捉信号源使能位
0: 禁止
1: 使能

T12CAPC: 捕捉控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	CAP2S<1:0>		T12CAP<1:0>		CAP2ACP4	CAP2ACP3	CAP2ACP2	CAP2ACP1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 CAP2S<1:0>: 触发捕捉信号选择位
00: T12CI
01: ACPx 输出
10: PWM10
11: T12CI、ACPx 和 PWM10
- Bit 5~4 T12CAP<1:0>: T1x 捕捉工作方式选择位
00: 捕捉每 1 个脉冲下降沿
01: 捕捉每 1 个脉冲上升沿
10: 捕捉每 4 个脉冲上升沿
11: 捕捉每 16 个脉冲上升沿
- Bit 3 CAP2ACP4: ACP4 作为捕捉信号源使能位
0: 禁止
1: 使能
- Bit 2 CAP2ACP3: ACP3 作为捕捉信号源使能位
0: 禁止
1: 使能
- Bit 1 CAP2ACP2: ACP2 作为捕捉信号源使能位
0: 禁止
1: 使能
- Bit 0 CAP2ACP1: ACP1 作为捕捉信号源使能位
0: 禁止
1: 使能

T13CAPC: 捕捉控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	CAP3S<1:0>		T13CAP<1:0>		CAP3ACP4	CAP3ACP3	CAP3ACP2	CAP3ACP1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 CAP3S<1:0>: 触发捕捉信号选择位

- 00: T13CI
01: ACPx 输出
10: PWM10
11: T13CI、ACPx 和 PWM10
- Bit 5~4 T13CAP<1:0>: T1x 捕捉工作方式选择位
00: 捕捉每 1 个脉冲下降沿
01: 捕捉每 1 个脉冲上升沿
10: 捕捉每 4 个脉冲上升沿
11: 捕捉每 16 个脉冲上升沿
- Bit 3 CAP3ACP4: ACP4 作为捕捉信号源使能位
0: 禁止
1: 使能
- Bit 2 CAP3ACP3: ACP3 作为捕捉信号源使能位
0: 禁止
1: 使能
- Bit 1 CAP3ACP2: ACP2 作为捕捉信号源使能位
0: 禁止
1: 使能
- Bit 0 CAP3ACP1: ACP1 作为捕捉信号源使能位
0: 禁止
1: 使能

T1xPL: T1x 低 8 位周期寄存器 (n<1:3>)								
Bit	7	6	5	4	3	2	1	0
Name	T1xPL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T1xPL<7:0>: T1x 低 8 位周期寄存器

T1xRL: T1x 低 8 位精度寄存器 (n<1:3>)								
Bit	7	6	5	4	3	2	1	0
Name	T1xRL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T1xRL<7:0>: T1x 低 8 位精度寄存器

T1xPH: T1x 高 4 位周期/精度寄存器 (n<1:3>)								
Bit	7	6	5	4	3	2	1	0
Name	T1xRH<3:0>				T1xPH<3:0>			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	1	1	1	1

Bit 7~4 T1xRH<3:0>: T1x 高 4 位精度寄存器

Bit 3~0 T1xPH<3:0>: T1x 高 4 位周期寄存器

T1xCNTM: T1x 全程循环计数次数

Bit	7	6	5	4	3	2	1	0
Name	—	—	T1xCNTM<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 未使用

Bit 5~0 T1xCNTM<5:0>: T1x 从全 0 计数到全 1 的循环次数

000000: 0 次

000001: 1 次

000010: 2 次

.....

110000: 48 次

.....

111111: 63 次

T11OC: PWM 输出控制寄存器 1

Bit	7	6	5	4	3	2	1	0
Name	PWM11UD	PWM1XTBS	T11TR	T11TS<1:0>		PWM1XS<2:0>		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 PWM11UD: PWM11 缓冲器即时更新使能位

0: 当精度和周期寄存器更新时, 禁止精度和周期缓冲器的即时更新, 只在当前 PWM 周期结束后才更新

1: 当精度和周期寄存器更新时, 使能精度和周期缓冲器即时更新 (数据更新后, 硬件自动清零)

Bit 6 PWM1XTBS: PWM1X 时基为 T11

Bit 5 T11TR: 单脉触发标志 (软件置 1, 硬件清 0)

0: 发射等待

1: 触发并开始计数

Bit 4~3 T11TS<1:0>: T11 单脉冲触发事件选择位

00: PINT0 中断

01: PINT1 中断

10: ACP2 中断

11: ACP3 中断

Bit 2~0 PWM1XS<2:0>: PWM10 和 PWM11 输出端口选择位

00x: PA1, PB0, PA5, PB1 为普通 IO

010: PA5 为 PWM11 输出

011: PB1 为 PWM11 输出

100: PA1 为 PWM10 输出

101: PB0 为 PWM10 输出

110: PA1, PA5 分别为 PWM10, PWM11 输出

111: PB0, PB1 分别为 PWM10, PWM11 输出

T12OC: PWM 输出控制寄存器 2

Bit	7	6	5	4	3	2	1	0
Name	PWM2XUD	PWM2XTBS	T12TR	T12TS<1:0>		PWM2XS<2:0>		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 PWM2XUD: PWM2X 缓冲器即时更新使能位

- 0: 当精度和周期寄存器更新时, 禁止精度和周期缓冲器的即时更新, 只在当前 PWM 周期结束后才更新
- 1: 当精度和周期寄存器更新时, 使能精度和周期缓冲器即时更新 (数据更新后, 硬件自动清零)

Bit 6 PWM2XTBS: PWM2X 时基选择位

- 0: PWM2X 的时基为 T12
- 1: PWM2X 的时基为 T11

Bit 5 T12TR: T12 单脉触发标志 (软件置 1, 硬件清 0)

- 0: 发射等待
- 1: 触发并开始计数

Bit 4~3 T12TS<1:0>: T12 单脉冲触发事件选择位

- 00: PINT0 中断
- 01: PINT1 中断
- 10: ACP2 中断
- 11: ACP3 中断

Bit 2~0 PWM2XS<2:0>: PWM20 和 PWM21 输出端口选择位

- 00x: PB0, PB1, PA6, PB3 为普通 IO
- 010: PB3 为 PWM21 输出
- 011: PB1 为 PWM21 输出
- 100: PA6 为 PWM20 输出
- 101: PB0 为 PWM20 输出
- 110: PA6, PB3 分别为 PWM20, PWM21 输出
- 111: PB0, PB1 分别为 PWM20, PWM21 输出

T13OC: PWM 输出控制寄存器 3

Bit	7	6	5	4	3	2	1	0
Name	PWM3XUD	PWM3XTBS	T13TR	T13TS<1:0>		—	PWM31EN	PWM30EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 PWM3XUD: PWM3X 缓冲器即时更新使能位

- 0: 当精度和周期寄存器更新时, 禁止精度和周期缓冲器的即时更新, 只在当前 PWM 周期结束后才更新
- 1: 当精度和周期寄存器更新时, 使能精度和周期缓冲器即时更新 (数据更新后, 硬件自动清零)

Bit 6 PWM3XTBS: PWM3X 时基选择位

- 0: PWM3X 的时基为 T13
- 1: PWM3X 的时基为 T11

Bit 5 T13TR: T13 单脉触发标志 (软件置 1, 硬件清 0)

- 0: 发射等待
1: 触发并开始计数
- Bit 4~3 T13TS<1:0>: T13 单脉冲触发事件选择位
00: PINT0 中断
01: PINT1 中断
10: ACP2 中断
11: ACP3 中断
- Bit 2 未使用
- Bit 1 PWM31EN: PWM31 端口使能位
0: PB2 为通用 I/O
1: PB2 为 PWM31 输出功能
- Bit 0 PWM30EN: PWM30 端口使能位
0: PA7 为通用 I/O
1: PA7 为 PWM30 输出功能

PWMxC: PWM 配置寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PWMxADEN	P1Mx	PDDxPR<1:0>		PWMxADS	—	PWMxM<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 PWMxADEN: PWM 沿启动 ADC 使能位
0: 禁止
1: 使能
- Bit 6 P1Mx: PWM 模式, PWM 输出端口选择位
0: 标准输出, PWMx0、PWMx1 为 6 路 PWM 输出端口
1: 增强输出, PWMx0 与 PWMx1 为 3 组带死区互补 PWM 输出端口
- Bit 5~4 PDDxPR<1:0>: PWM 死区时钟分频比选择位
00: Fosc
01: Fosc/2
10: Fosc/4
11: Fosc/8
- Bit 3 PWMxADS: PWM 沿启动 ADC 选择位
0: 上升沿
1: 下降沿
- Bit 2 未使用
- Bit 1~0 PWMxM<1:0>: PWM 输出极性选择位
00: PWMx0、PWMx1 高有效
01: PWMx0 高有效, PWMx1 低有效
10: PWMx0 低有效, PWMx1 高有效
11: PWMx0、PWMx1 低有效

PDDxC: PWM 死区控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	PRSENx	PDDxC<6:0>						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 PRSENx: PWM 重启控制位

0: 当自动关断事件撤离后, 自动关断事件标志位必须软件清零, 才能重启 PWM。

1: 当自动关断事件撤离后, 自动关断事件标志位硬件自动清零, PWM 自动重启。

Bit 6~0 PDDxC<6:0>: PWM 死区延时计数位

TExAS: PWM 自动关断寄存器

Bit	7	6	5	4	3	2	1	0
Name	PWMxASF	PWMxAS4	PWMxAS3	PWMxAS0	PWMxAS2	PWMxAS1	PSSxBD<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 PWMxASF: PWM 自动关断事件标志位

0: 未发生关断事件

1: 已经发生关断事件

Bit 6 PWMxAS4: PWM 自动关断位 4

0: ACP4 比较器输出不影响 PWM

1: ACP4 比较器输出“0”引起关断

Bit 5 PWMxAS3: PWM 自动关断位 3

0: ACP3 比较器输出不影响 PWM

1: ACP3 比较器输出“0”引起关断

Bit 4 PWMxAS0: PWM 自动关断位 0

0: N_EPAS 端口不影响 PWM

1: N_EPAS 端口为“0”引起关断

Bit 3 PWMxAS2: PWM 自动关断位 2

0: ACP2 比较器输出不影响 PWM

1: ACP2 比较器输出“0”引起关断

Bit 2 PWMxAS1: PWM 自动关断位 1

0: ACP1 比较器输出不影响 PWM

1: ACP1 比较器输出“0”引起关断

Bit 1~0 PSSxBD<1:0>: 管脚 PWMx0 和 PWMx1 关断状态控制位

00: 端口输出“0”

01: 端口输出“1”

1x: 端口为三态

TMRADC: PWM 沿检测延时寄存器

Bit	7	6	5	4	3	2	1	0
Name	TMRADC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 TMRADC<7:0>: PWM 沿检测延时时间

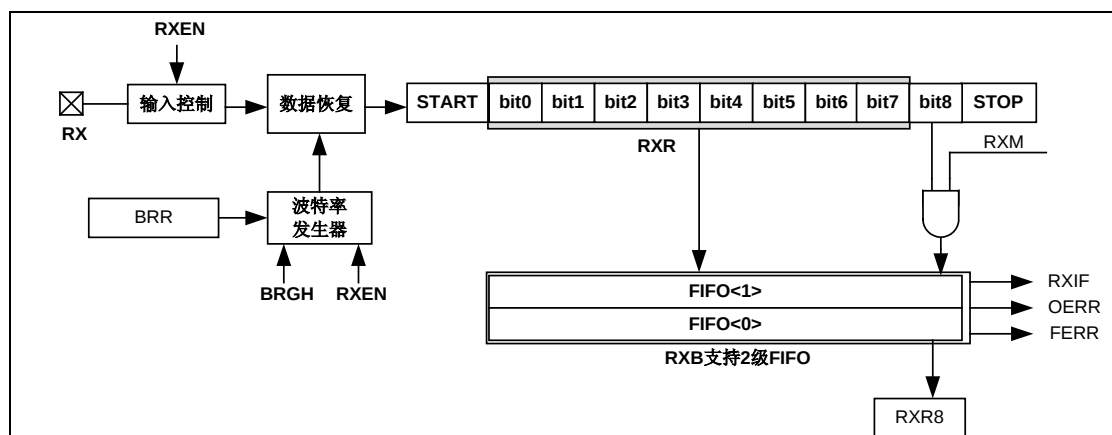


图 6-15 UART 接收端原理图

6.2.3 波特率配置

UART 自身具有一个波特率发生器，通过它可以设定数据传输速率。波特率是由一个独立的内部 8 位计数器产生，它由 BRR 寄存器和 TXC 寄存器的 BRGH 来控制。BRGH 是决定波特率发生器处于高速模式还是低速模式，从而决定计算公式的选用。

BRGH	波特率	计算公式
0	低速模式	$F_{osc}/(64 \times (BRR < 7:0 + 1))$
1	高速模式	$F_{osc}/(16 \times (BRR < 7:0 + 1))$

表 6-7 UART 波特率配置表

6.2.4 传输数据格式

UART 的传输数据格式有两种选择，8 位或 9 位。接收 9 位数据时，读取 RXC 寄存器中的 RXR8 位可以得到接收的第 9 位数据。发送 9 位数据时，可通过 TXC 寄存器中的 TXR8 位设置将要发送的第 9 位数据。

RXM	TXM	传输数据格式
0	0	8 位
1	1	9 位

表 6-8 UART 数据格式配置表

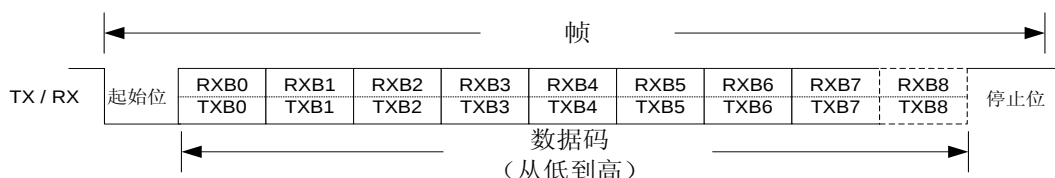


图 6-16 UART 数据格式示意图

6.2.5 异步发送器

异步发送器发送数据时，起始位（**START**）和结束位（**STOP**）由芯片内部产生，用户只需要使能异步发送器，并将所要发送的数据写入 **TXB** 和 **TXR8** 内，就能实现异步发送，

异步发送器还可以实现数据连续发送。注意，在发送数据时，用户使能异步发送器后，需先查询标志位 **TRMT**，检查发送移位寄存器 (**TXR**) 是否为空，只有在发送移位寄存器为空时，才能发送数据。由于 **UART** 发送器发送端口 **TX** 与 **I/O** 端口复用，在使用 **UART** 发送端口前，需首先设置所复用的 **I/O** 端口处于输出状态。

操作流程如图如下：

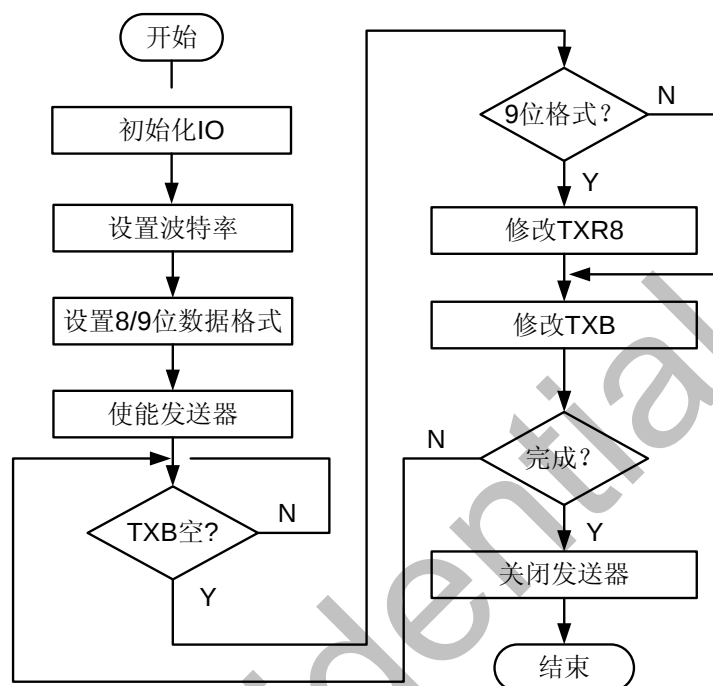


图 6-17 UART 异步发送器操作流程

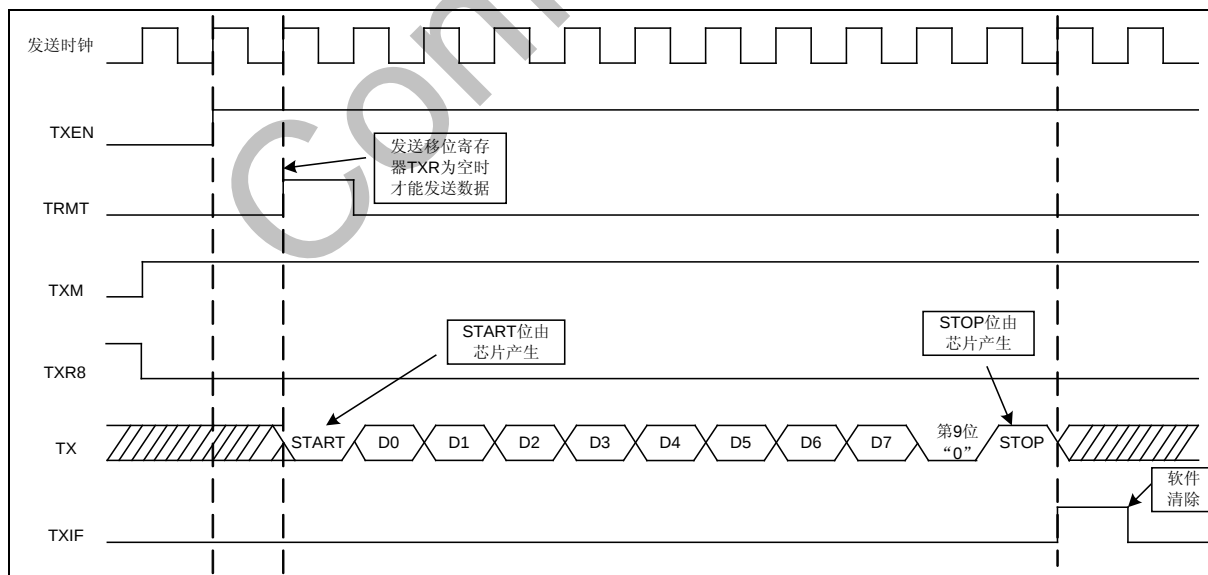


图 6-18 UART 发送器发送数据时序图（9 位数据格式，第 9 位数据为“0”）

6.2.6 异步接收器

异步接收器接收数据时，用户可以查询 $RXIF$ 中断标志位，来判断是否收到完整的一帧数据，并通过读取 RXB 和 $RXR8$ 获得数据。芯片内部提供 2 级 9 位 FIFO 作为接收数据缓冲区，若用户在第 3 个数据接收完毕前，未读取 RXB ，则溢出标志位 $OERR$ 将置 1。 $FERR$ 在用户未接收到结束位 $STOP$ 时置 1。注意，由于 UART 接收器接收端口 RX 与 I/O 端口复用，在使用 UART 接收端口前，需首先设置所复用的 I/O 端口处于输入状态。

操作流程图如下：

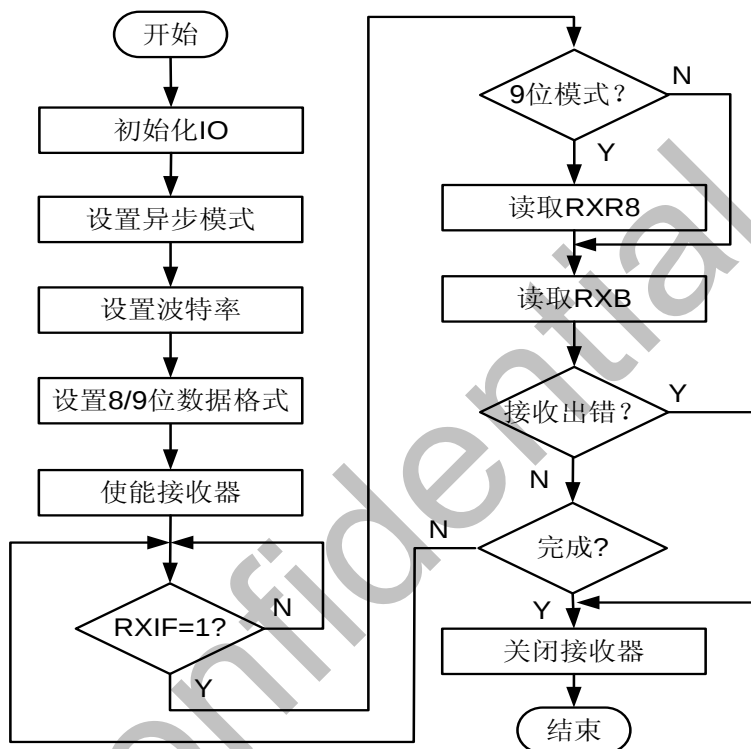


图 6-19 UART 异步接收器操作流程

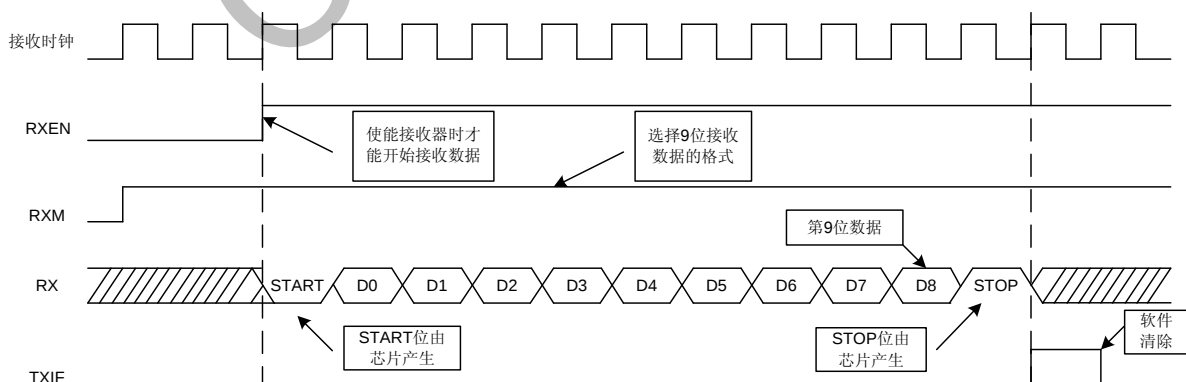


图 6-20 UART 接收器接收数据时序图（9 位数据格式）

6.2.7 UART使用注意事项

在 UART 模块使能前，首先要设置复用的 I/O 端口为数字端口，并将 TX 管脚需设置为输出口，RX 管脚设置为输入口，才能保证在 UART 模块使能后，成功进行数据的发送或接收。另外，程序中不建议用户频繁切换 TX 和 RX 管脚的输入/输出类型。

6.2.8 特殊功能寄存器

UART 模块相关的有 5 个寄存器，包括一个接收数据寄存器 RXB、一个接收控制/状态寄存器 RXC、一个发送数据寄存器 TXB、一个发送控制/状态寄存器 TXC，以及一个波特率寄存器 BRR。RXB 和 TXB 寄存器分别用于存放接收到的数据和待发送的数据，RXC 寄存器用于接收器的使能控制、接收数据格式的选择、以及接收溢出标志、帧格式错标志和存放第 9 位接收数据等。TXC 寄存器用于发送器的使能控制、发送数据格式的选择、波特率模式的选择、存放第 9 位发送数据以及发送移位寄存器（TXR）空标志的显示等。BRR 寄存器用于 UART 的波特率设置，设置范围为 00H~FFH。

RXB: UART 接收数据寄存器								
Bit	7	6	5	4	3	2	1	0
Name	RXB<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

Bit 7~0 RXB<7:0>: UART 接收到的数据

RXC: UART 接收控制/状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	RXEN	RXM	—	—	—	OERR	FERR	RXR8
R/W	R/W	R/W	—	—	—	R	R	R
POR	0	0	0	0	0	0	0	x

Bit 7 RXEN: 接收器使能位

0: 禁止

1: 使能

Bit 6 RXM: 接收器数据格式选择位

0: 8 位数据接收格式

1: 9 位数据接收格式

Bit 5~3 未使用

Bit 2 OERR: 接收溢出标志位

0: 无溢出错误

1: 有溢出错误（清 RXEN 位可将此位清除）

Bit 1 FERR: 帧格式错标志位

0: 无帧格式错误

1: 帧格式错（读 RXB，该位被刷新）

Bit 0 RXR8: 第 9 位接收数据位

0: 第 9 位数据为 0

1: 第 9 位数据为 1

TXB: UART 发送数据寄存器

Bit	7	6	5	4	3	2	1	0
Name	TXB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 TXB<7:0>: UART 发送的数据

TXC: UART 发送控制/状态寄存器

Bit	7	6	5	4	3	2	1	0
Name	TXEN	TXM	BRGH	—	—	—	TRMT	TXR8
R/W	R/W	R/W	R/W	—	—	—	R	R/W
POR	0	0	0	0	0	0	1	0

Bit 7 TXEN: 发送器使能位

0: 禁止

1: 使能

Bit 6 TXM: 发送器数据格式选择位

0: 8 位数据发送格式

1: 9 位数据发送格式

Bit 5 BRGH: 波特率模式选择位

0: 低速模式

1: 高速模式

Bit 4~2 未使用

Bit 1 TRMT: 发送移位寄存器 (TXR) 空标志位

0: TXR 不空

1: TXR 空

Bit 0 TXR8: 第 9 位发送数据设置位

0: 第 9 位数据为 0

1: 第 9 位数据为 1

BRR: UART 波特率寄存器

Bit	7	6	5	4	3	2	1	0
Name	BRR<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 BRR<7:0>: UART 波特率设置, 00H~FFH

6.3 I2C总线从动器 (I2CS)

6.3.1 概述

本芯片支持一路 I2C 从动器，从动模块支持 7 位从机地址匹配，由 I2C 主机控制发送或接收数据。

- ◆ 只支持从动模式
 - 支持 7 位从机地址
 - 支持标准 I2C 总线协议，最大传输速率 400Kbit/s
 - 支持 I2CS 端口 SCL/SDA 开漏或者推挽输出
 - 支持 2 级发送/接收缓冲
 - 支持自动时钟下拉等待功能
 - 支持自动发送“未应答”功能
 - 约定数据从最高位开始接收/发送
- ◆ I2CS 支持以下功能组件
 - 5 位 I2C 采样滤波寄存器 (I2CX16)
 - I2C 控制寄存器 (I2CC)
 - 从机地址寄存器 (I2CSA)
 - 发送数据缓冲器 (I2CTB)
 - 接收数据缓冲器 (I2CRB)
 - 中断使能寄存器 (I2CIEC)
 - 中断标志寄存器 (I2CIFC)
- ◆ 中断和暂停
 - 支持接收“起始位+从机地址匹配+发送应答位”中断标志 (I2CSRIF)
 - 支持接收结束位中断标志 (I2CSPIF)
 - 支持发送空中断标志 (I2CTBIF, 只可读)
 - 支持接收满中断标志 (I2CRBIF, 只可读)
 - 支持发送错误标志 (I2CTEIF)
 - 支持接收溢出中断标志 (I2CROIF)
 - 支持接收未应答标志 (I2CNAIF)
 - 在 IDLE 模式下，暂停接收和发送

6.3.2 内部结构

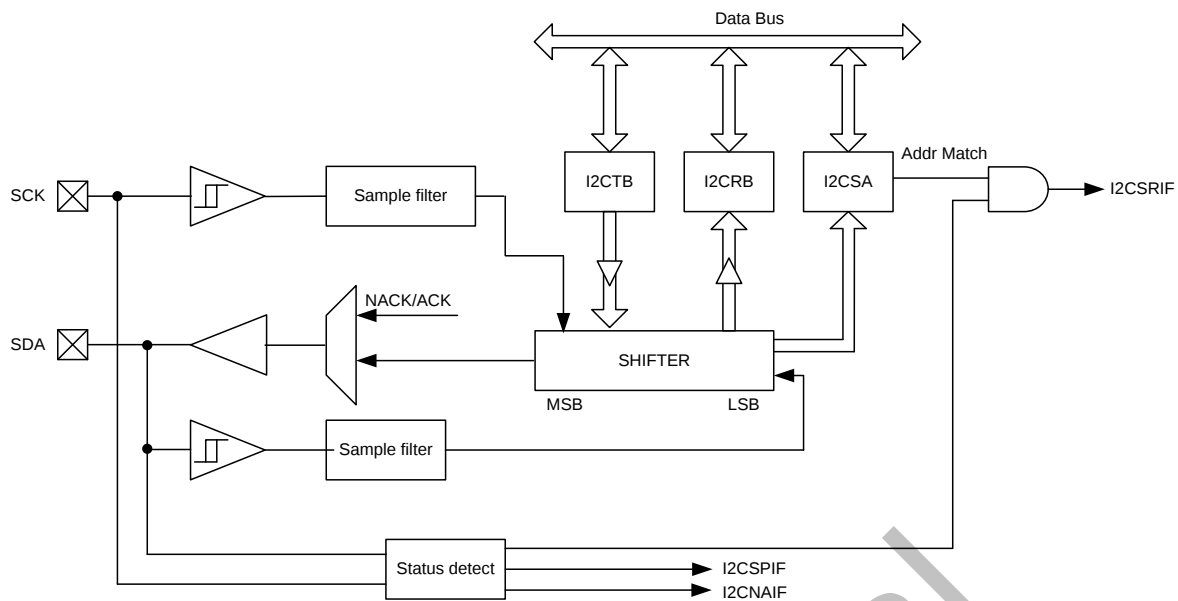


图 6-21 I2C 内部结构

6.3.3 I2CS 端口配置

I2C 总线从动器包括一条串行数据线 SDA 和一条串行时钟线 SCL。I2C 端口与普通 I/O 端口复用，可通过 I2CC 寄存器中的 I2CTE 位选择复用端口的功能。当 I2CTE=0 时，复用端口作为普通 I/O；当 I2CTE=1 时，复用端口作为 I2C 通信端口使用。

I2CTE	I2CS 时钟端口配置	I2CS 数据端口配置
1	SCL	SDA
0	PC1	PC0

表 6-9 I2CS 端口配置表

6.3.4 通讯协议

I2C 通讯中，必须遵循以下协议：

- 通讯由主控器发起，发送启动信号 S（开始）控制总线，发送停止信号 P（结束）释放总线；
- 总线上可以同时有多个主控器（前提是每个主控器都支持多主机仲裁机制），但至少需要一个从动器，且每一个从动器都必须有一个独立且唯一的寻呼地址；
- 主控器在发送启动信号后，紧接着寻呼从动器地址以及发送读写方式位；
- 读写控制位 R/#W（称为方向位）用于通知从动器数据传送的方向，“0”表示这次通讯是由主控器向从动器“写”数据，“1”表示这次通讯是由主控器向从动器“读”数据；
- I2C 通讯协议支持应答机制，即发送方每传送一个字节的的数据（包括寻呼地址），接收方必须回答一个应答信号(ACK 或者 NACK)，发送方再根据应答信号进行下一步的操作；
- 如果主控器和从动器的时钟线（SCL）都使用开漏设计，且主控器支持时钟线等待请求操作，那么从动器可以在时钟线为低电平时下拉时钟线，使主控器等待从动器，直到从

动器释放时钟线；

- 每个数据字节在传送时都是高位在前。

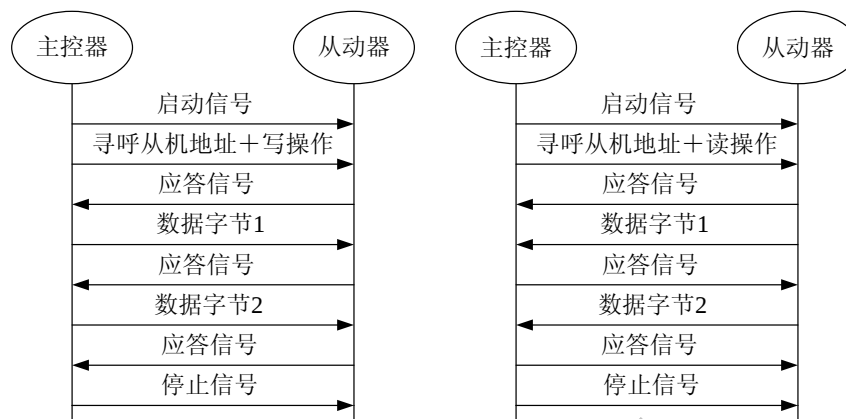


图 6-22 I2C 总线通讯协议示意图

6.3.5 I2C操作

I2C 总线上可以同时有多个主控器（前提是每个主控器都支持多主机仲裁机制），但至少需要一个从动器。总线上的每个设备都没有选择线，但分别与唯一的地址一一对应，用于 I2C 通信。

从动模块包括主机向从机发送数据以及主机读取从机数据两种操作方式。

当主机向从机发送数据时，从机通常判断接收满中断标志位 I2CRBIF，如果接收缓冲器不空，即接收到主机数据，则读接收缓冲器的数据。

当主机读取从机数据时，从机通常判断发送缓冲器未满中断标志位 I2CTBIF，如果发送缓冲器未满，则依次写入需要发送的数据。

为了避免误发数据，建议每次完整的通讯结束（例如收到 STOP 标志），就采用软件复位 I2C 模块位 I2CRST 置位复位一次 I2C 模块来清空接收和发送数据缓冲器，同时再重新初始化 I2CC 和 I2CIEC 寄存器，为下次 I2C 通讯做好准备。

在 IDLE 模式下，I2CS 模块通讯暂停。

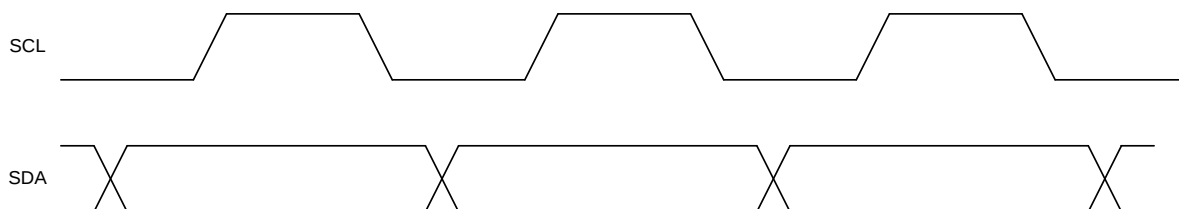


图 6-23 I2C 从动波形图

6.3.6 起始位START和停止位STOP

根据 I2C 协议：在数据传输期间，当 SCL 为高电平时，SDA 必须保持固定电平，波形如图所示；在没有数据传输期间，SCL 和 SDA 应该保持高电平。当 SCL 线是高电平时，

SDA 线从高电平向低电平切换表示起始条件（S）。当 SCL 是高电平时，SDA 线由低电平向高电平切换表示停止条件（P）。起始和停止条件一般由主机产生，如图所示。

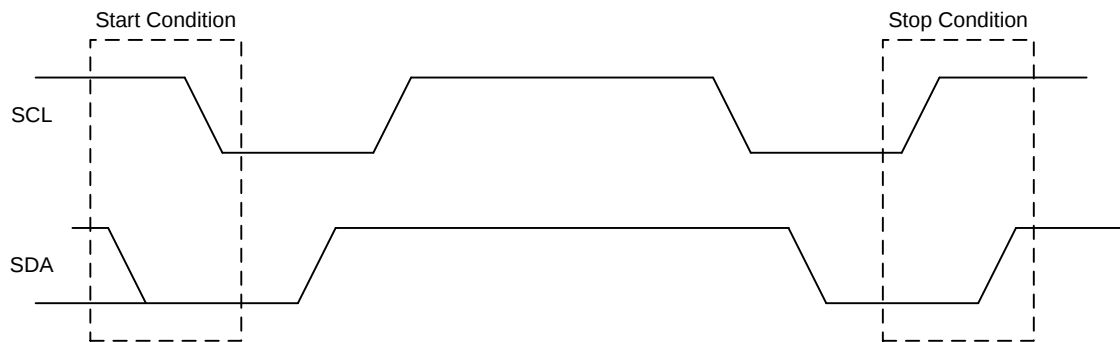


图 6-24 I2C 起始位和停止位

6.3.7 数据传输和应答

进入起始条件（S）之后，数据按照一个字节串行传输（8 位）。接收方每次接收完毕 8 位数据之后，需要发送应答信号给发送方。当数据传输到第 8 个 SCL 下降沿时，接收方立即发送应答信号，此时发送方释放 SDA 控制权，而接收方将 SDA 变为低电平。当发送一个字节的数据紧邻于先前一个字节的接收（或者当接收方切换到发送方，并开始数据传输）时，接收方在第 9 个 SCL 下降沿释放 SDA 控制权。当主机为接收方时，接收到从机的最后一个字节后不产生应答信号，以告知发送设备数据传输完成。在第 9 个 SCL 下降沿，从机（发送方）继续释放 SDA 控制权以便主机可以产生停止条件（P）。

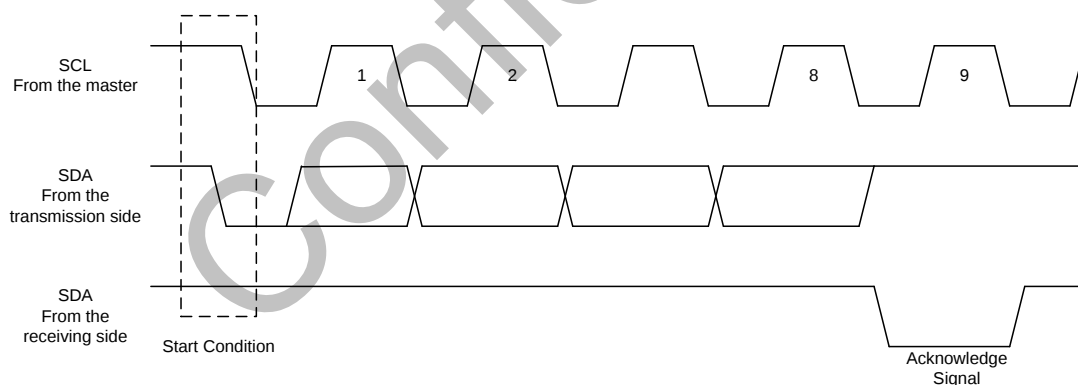


图 6-25 数据传输和应答

6.3.8 数据传输格式参考

I2C 存储器的数据传输参考格式如下：

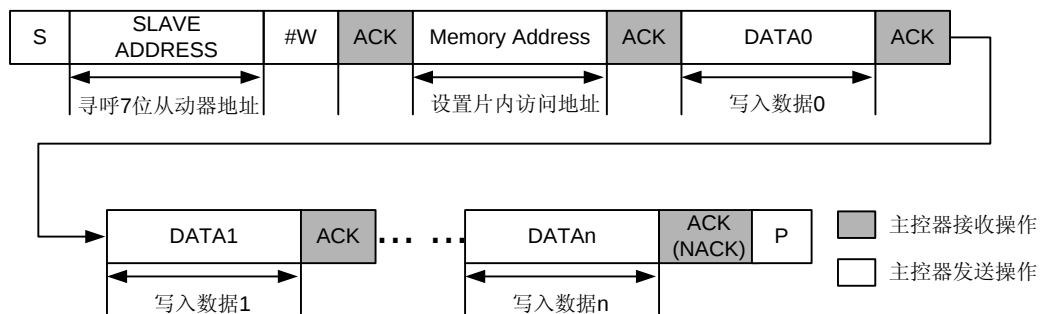


图 6-26 主控器写入从动器数据示意图

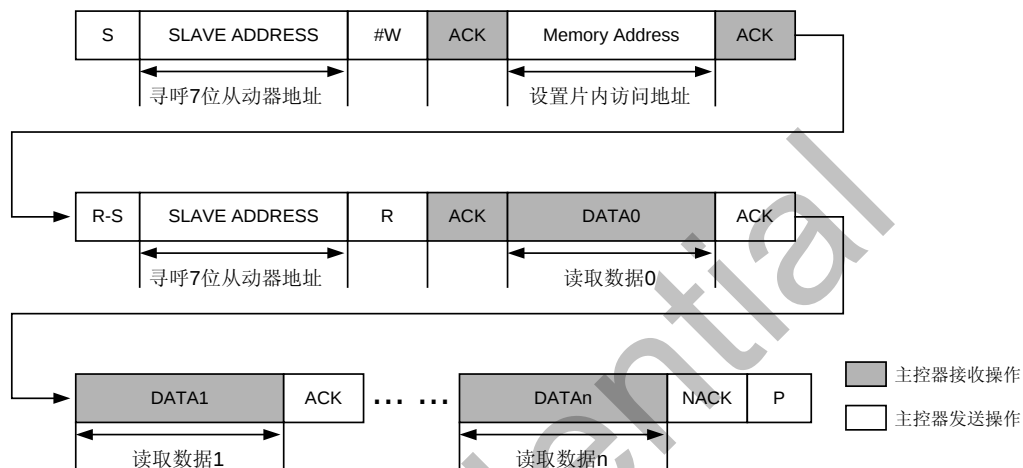


图 6-27 主控器读取从动器数据示意图

6.3.9 特殊功能寄存器

I2CX16: I2C 采样滤波寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	I2CX16<4:0>				
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~5 未使用

Bit 4~0 I2CX16<4:0>: 采样滤波控制位

00H: 禁止采样滤波

01H~1FH: 通信时钟和数据采样滤波时间为 $T_{OSC} \times (I2CX16 + 1) \times 3$

I2CC: I2C 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	I2CTE	I2CPU	I2COD	I2CTAS	I2CANAE	I2CCSE	I2CRST	I2CEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 I2CTE: I2C 通信端口使能位

0: 禁止

1: 使能

- Bit 6 I2CPU: I2C 内部弱上拉使能
0: 禁止
1: 使能
当 I2CTE=1 时, I2CPU 控制 SCL/SDA 端口的弱上拉功能。
- Bit 5 I2COD: I2C 开漏输出使能位
0: 推挽输出
1: 开漏输出
- Bit 4 I2CTAS: I2C 发送应答设置位
0: 发送 ACK
1: 发送 NACK
- Bit 3 I2CANAE: I2C 自动未应答使能位
0: 禁止
1: 使能
- Bit 2 I2CCSE: I2C 时钟下拉等待使能位
0: 禁止
1: 使能
- Bit 1 I2CRST: 软件复位 I2C 模块位
0: 禁止
1: 使能 (复位后, 硬件自动清零)
- Bit 0 I2CEN: I2C 模块使能位
0: 禁止
1: 使能

注 1: 当 I2C 时钟下拉等待使能,

当片外主控制器寻呼从动器地址+R 时, 若在数据发送之前, 2 级发送数据缓冲器全空, 则在本机地址后的应答位之前下拉时钟线 (此原则在 I2CANAE 不使能的条件下成立); 若在数据发送之后, 2 级发送数据缓冲器全空, 则在从动器接收应答位之后下拉时钟线;

当片外主控制器寻呼从动器地址+#W 时, 若在数据接收之前, 且 I2CANAE=0, 2 级接收数据缓冲器全满, 则在本机地址后的应答位之前下拉时钟线; 若在数据接收之后, 2 级接收数据缓冲器全满, 则在从动器发送应答位之前下拉时钟线。

注 2: 当 I2C 自动未应答使能,

当片外主控制器寻呼本机地址+R 时, 若 2 级发送数据缓冲器全空, 则本机地址后的应答位为 “NACK”;

当片外主控制器寻呼本机地址+#W 时, 若在数据接收之前, 2 级接收数据缓冲器全满时, 本机地址后的应答位为 “NACK”; 若在接收数据后, 且 I2CCSE=0, 2 级接收数据缓冲器全满时, 则接收数据后的应答位为 “NACK”。

注 3: 当 I2CTE=1 时, I2CPU 控制 SCL/SDA 端口的弱上拉功能; 否则, 由 PCPU<1:0>控制 PC 端口的弱上拉功能。

I2CSA: I2C 地址寄存器

Bit	7	6	5	4	3	2	1	0
Name	I2CSADR<6:0>							I2CRW
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
POR	0	0	0	0	0	0	0	0

- Bit 7~1 I2CSADR<6:0>: 从机地址
接收到 “启动/重新启动” 后用于匹配比较

Bit 0 I2CRW: 从机地址匹配后, 自动更新读/写位
0: 写
1: 读

I2CTB: I2C 发送数据缓冲器								
Bit	7	6	5	4	3	2	1	0
Name	I2CTB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 I2CTB<7:0>: 发送数据缓冲器

注: 第一个需要发送的数据, 在发送使能前写入发送数据缓冲器。

I2CRB: I2C 接收数据缓冲器								
Bit	7	6	5	4	3	2	1	0
Name	I2CRB<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

Bit 7~0 I2CRB<7:0>: 接收数据缓冲器

I2CIEC: I2C 中断使能寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	I2CNAIE	I2CROIE	I2CTEIE	I2CRBIE	I2CTBIE	I2CSPIE	I2CSRIE
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 未使用
Bit 6 I2CNAIE: I2C 接收未应答中断使能位
0: 禁止
1: 使能
Bit 5 I2CROIE: I2C 接收溢出中断使能位
0: 禁止
1: 使能
Bit 4 I2CTEIE: I2C 发送错误中断使能位
0: 禁止
1: 使能
Bit 3 I2CRBIE: I2C 接收满中断使能位
0: 禁止
1: 使能
Bit 2 I2CTBIE: I2C 发送缓冲器未中断使能位
0: 禁止
1: 使能
Bit 1 I2CSPIE: I2C 接收结束位中断使能位
0: 禁止

- 1: 使能
Bit 0 I2CSRIF: I2C 接收“起始位+从机地址匹配+发送应答位”中断使能位
0: 禁止
1: 使能

I2CIFC: I2C 中断标志寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	I2CNAIF	I2CROIF	I2CTEIF	I2CRBIF	I2CTBIF	I2CSPIF	I2CSRIF
R/W	—	R/W	R/W	R/W	R	R	R/W	R/W
POR	1	0	0	0	0	1	0	0

- Bit 7 未使用
- Bit 6 I2CNAIF: I2C 接收未应答中断标志位
0: 未接收或者未发送 NACK
1: 接收或发送 NACK，产生中断标志（软件清零）
- Bit 5 I2CROIF: I2C 接收溢出中断标志位
0: 2 级接收数据缓冲器和 I2C 移位寄存器未全满
1: 2 级接收数据缓冲器和 I2C 移位寄存器全满，产生中断标志（软件清零）
- Bit 4 I2CTEIF: I2C 发送错误中断标志位
0: 主机读从机数据操作正常
1: 2 级发送数据缓冲器全空，主机继续读从机数据，产生中断标志（软件清零）
- Bit 3 I2CRBIF: I2C 接收满中断标志位
0: 2 级接收数据缓冲器未空
1: 2 级接收数据缓冲器未空时，产生中断标志
- Bit 2 I2CTBIF: I2C 发送缓冲器未空中断标志位
0: 2 级发送数据缓冲器未空
1: 2 级发送数据缓冲器未空时，产生中断标志
- Bit 1 I2CSPIF: I2C 接收结束位中断标志位
0: 未接收到结束位
1: 接收到结束位，产生中断标志（软件清零）
- Bit 0 I2CSRIF: I2C 接收“起始位+从机地址匹配+发送应答位”中断标志位
0: 未接收到“起始位+地址位且地址匹配+发送应答位”
1: 接收到“起始位+地址位且地址匹配+发送应答位”，产生中断标志（软件清零）

注 1: 清总中断标志位 I2CIF 前，先清除 I2CIFC 寄存器的相关中断标志位；
注 2: 连续接收数据超过 2 个时，发生接收溢出，并且第 3 个接收数据会丢失；
注 3: I2C 模块在每帧数据发送完成后，接收到结束位时，硬件自动清零发送缓冲寄存器。

6.4 模拟比较器（ACP）

6.4.1 概述

- ◆ 模拟比较器（ACP）
 - 模拟比较器 ACP1
 - 比较器 ACP1 的输出可作为 PWM 的关断事件
 - 支持比较器中断
- ◆ 内部参考电压
 - 支持 VREF2.6V 输出
 - 支持 4 路参考电压 VREF，每路 VREF 可配置为 8 档
 - 出厂前，在常温下已经校准在±2%以内
- ◆ 主要功能组件
 - 模拟比较器控制寄存器（ACPC1）
 - 参考电压控制寄存器（VRC1）
- ◆ 中断和唤醒
 - 支持比较器中断（ACP1IF）
 - 在 IDLE 模式下，比较器中断可唤醒 CPU

6.4.2 模拟比较器（ACP_x）

本芯片提供 1 路比较器 ACP1。比较器 ACP1 的输入为两个模拟信号 CMP1N 和 CMP1P，输出为数字信号 CMP1OUT。当输入信号 CMP1N 大于输入信号 CMP1P 时，输出信号 CMP1OUT 为低电平（数字“0”）；当输入信号 CMP1N 小于输入信号 CMP1P 时，输出信号 CMP1OUT 为高电平（数字“1”）。

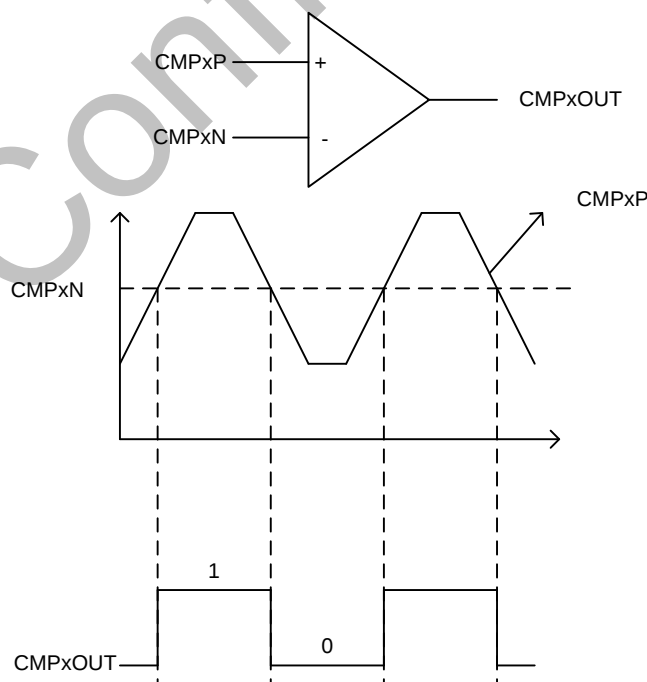


图 6-28 模拟比较器工作示意图

模拟比较器 1 的正端与 PA1 管脚复用，负端与 PA0 管脚复用，比较器输出端 CMP1OUT

与 PC1 复用。如果相应的 PCT<1>设置为输出状态，以及 COUTEN 位 (ACPC1<7>) 设置为 1, 则 PC1 端口输出 C1OUT。C1EN 位 (ACPC1<0>) 为比较器 1 的使能控制, C1INV 位 (ACPC1<1>) 控制比较器 1 的输出极性。

C1OUT 上升沿会触发延时滤波电路输出 C1OUT_DLY。当 C1EN 为 0 时, 设置 CM1DLY<1:0>位 (ACPC1<3:2>) 可改变延时滤波电路时间。

6.4.3 中断和唤醒

当比较器的输出 CxOUT 有变化时, 比较器中断标志位 ACPxIF (INTF1<5:1>) 置 1。如果中断使能位 ACPxIE (INTE1<5:1>) 和全局中断使能位 GIE (INTG<7>) 使能, 则产生 ACPx 比较中断, 否则中断不被响应。在 IDLE 模式下, 比较中断能唤醒 CPU。

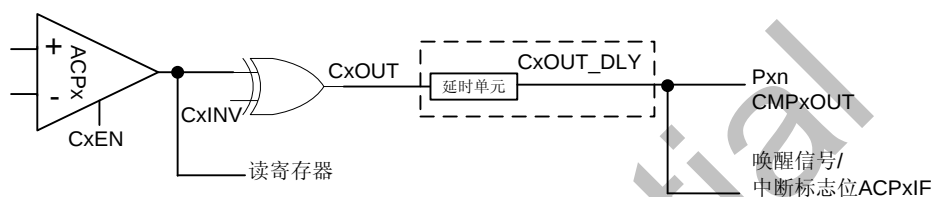


图 6-29 比较器 ACPx 中断产生示意图

注 1: 只有比较器 1 有输出延时单元控制。

注 2: GIE、ACPxIE、ACPxIF 位请参考《中断处理》章节中的中断使能寄存器 and 中断标志寄存器。

6.4.4 高精度参考电压模块 (VREF)

设置参考电压模块使能位 VREFEN (VRC1<7>) 使能 VREF 模块。出厂前, 在常温, VDD=5V 下, VREF 已经校准到 2.5V, 校准精度在 $\pm 2\%$ 以内。此参考电压模块可提供模拟比较器、ADC 和运放模块参考源。

ADC 和运放模块的参考电压源配置如下:

当设置 VREFSEL (VRC3<6>) = 1, 内部 VREF 2.5V 作为 ADC 模块的参考源 (VDD $\geq$ 3V)。

当设置 VREFSEL (VRC3<6>) = 0, 内部 VREF 1.8V 作为 ADC 模块的参考源。

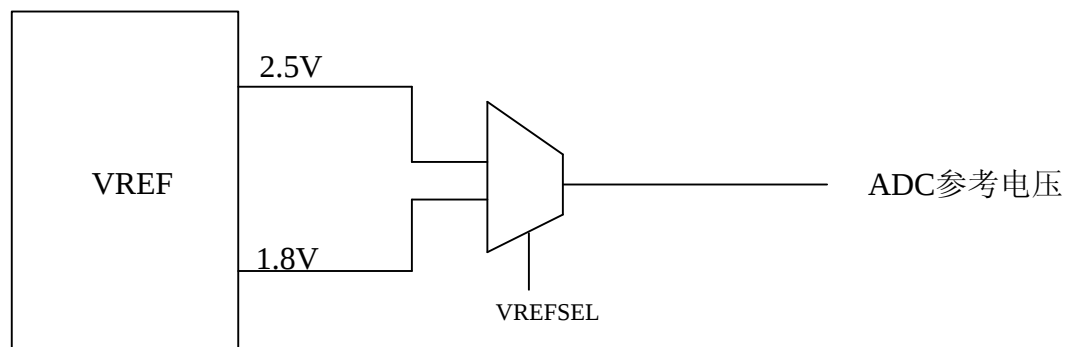


图 6-30 内部参考电压供电示意图

6.4.5 特殊功能寄存器

ACPC1: 模拟比较器 1 控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	COUTEN	C1OUT	—	HYS1EN	CM1DLY<1:0>		C1INV	C1EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 COUTEN: 比较器 1 输出 I/O 使能位

0: 禁止

1: 使能

Bit 6 C1OUT: 比较器 1 输出状态位

0: C1INN 大于 C1INP

1: C1INN 小于 C1INP

Bit 5 保留, 固定为 0

Bit 4 HYS1EN: 比较器 1 滞回电压使能位

0: 禁止

1: 使能

Bit 3~2 CM1DLY<1:0>: 比较器 1 输出延时控制位

00: 不延时

01: 延时约 0.5us

10: 延时约 1us

11: 延时约 2us

Bit 1 C1INV: 比较器 1 输出极性控制位

0: 输出不反向

1: 输出反向

Bit 0 C1EN: 比较器 1 使能控制位

0: 禁止

1: 使能

VRC1: 参考电压控制寄存器 1

Bit	7	6	5	4	3	2	1	0
Name	VREFEN	—			—			—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 VREFEN: 内部参考电压模块使能位

0: 禁止

1: 使能

Bit6~ 0 保留未用

VRC2: 参考电压控制寄存器 2

Bit	7	6	5	4	3	2	1	0
Name	ADHSEN	—			—			ADVCMHS
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	0	0	0	0	0	0	1

Bit 7 ADHSEN: AD 转换速度控制位

- 0: 低速 (AD 转换时钟频率在 2Mhz 以下)
1: 高速
- Bit 6~1 保留未用
- Bit 0 ADVCMHS: AD VCM 高速模式控制位
0: 禁止
1: 使能

VRC3: 参考电压控制寄存器 3								
Bit	7	6	5	4	3	2	1	0
Name	CHOPENB	VREFSEL	FLTCLKS<1:0>		CHOPCLKS<2:0>			CHOP1ENB
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	0	1	1

- Bit 7 CHOPENB: 参考电压 CHOP 控制位 (仅供芯片测试使用, 应用时需保持默认值)
0: 使能
1: 禁止
- Bit 6 VREFSEL: ADC 模块的参考电压选择位 (如果在 VDD<3V 时选择 2.5V 档位, 参考电压可能不准)
0: 1.8V
1: 2.6V
- Bit 5~4 FLTCLKS<1:0>: 参考电压 FLT 时钟选择位
00: 32K
01: 64K
10: 128K
11: 256K
- Bit 3~1 CHOPCLKS<2:0>: CHOP 时钟选择位 (仅供芯片测试使用, 应用时需保持默认值)
000: 1K
001: 2K
010: 4K
011: 8K
100: 16K
101: 32K
110: 保留
111: 保留
- Bit 0 CHOP1ENB: 参考电压 CHOP1 控制位 (仅供芯片测试使用, 应用时需保持默认值)
0: 使能
1: 禁止

C1OFST: 模拟比较器 1 偏置电压调整寄存器								
Bit	7	6	5	4	3	2	1	0
Name	C1OFST<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	0	0	0	0	1	1	1

- Bit 7~0 C1OFST<7:0>: 偏置电压调整位
高四位调整 P 管, 低四位调整 N 管

Confidential

6.5 模/数转换器 (ADC)

6.5.1 概述

模拟数字转换器用于将模拟信号转化成一组二进制代码组成的数字信号。模拟信号经由多路复用输入脚输入，通过一个采样-保持电路连接至转换器的输入端。

芯片支持外部 12-bit 10 通道的 A/D 转换器，经过 A/D 转换器转换的 12-bit 二进制数据存入 ADC 数据寄存器 ADCRH、ADCRL 中。

◆ 模/数转换器特性

- 12 位 A/D 采样精度
- 外部 10 个模拟输入通道可选
- 12 位转换结果，支持高位对齐放置或低位对齐放置
- 可配置 A/D 采样时间
- 支持高/低速转换选择
- 多种转换时钟频率可选
- 可配置多种参考源

◆ 主要功能组件

- ADC 转换值寄存器 (ADCRL, ADCRH)
- ADC 控制寄存器 (ADCCL, ADCCH, VRC2, TMRAD, PPGC, PWMxC)
- 数模端口控制寄存器 (ANSL, ANSH)

◆ 中断和暂停

- 支持 AD 转换中断 (ADIE/ADIF)
- 在 IDLE 模式下，当使用 Fosc 时钟时，A/D 转换暂停；当使用 LRC 时钟时，A/D 继续转换

6.5.2 内部结构图

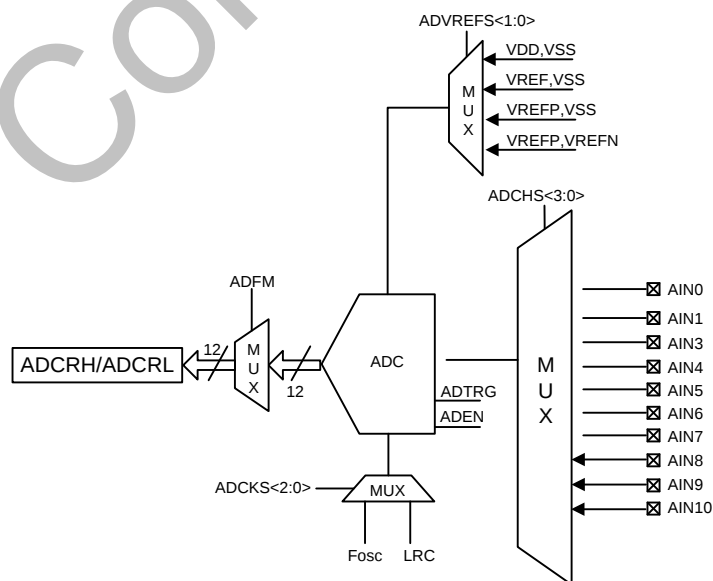


图 6-31 ADC 内部结构图

6.5.3 ADC配置

ADC 电路使用前, 根据需要对以下几个方面进行正确的配置, 才可得到正确转换结果。

时钟选择

ADC 电路的转换时钟有 8 组可选, $F_{osc} \sim F_{osc}/64$ 或 LRC, 可通过 ADCCH 寄存器 ADCKS<2:0>位选择所需要的时钟。

参考电压选择

ADC 电路可选择采用外部参考电压输入, 分别为参考电压正极性输入和参考电压负极性输入, 对应外部参考电压输入脚分别为 VREF、VREFP 和 VREFN, 可通过 ADCCH 寄存器中的 ADVREFS <1:0>位选择。

采样时间选择

ADC 电路的采样时间可通过 ADCCH 寄存器中的 ADST<1:0>位选择, 采样时间有 2 个 Tadcclk、4 个 Tadcclk、8 个 Tadcclk 以及 16 个 Tadcclk 四种选项。

采样模式选择及控制

本芯片 ADC 可选择软件采样和硬件采样两种模式, 通过 ADCCL 寄存器中的 SMPS 位选择。选用软件采样时, 可通过 ADCCL 寄存器中的 SMPON 位控制采样的启动和停止。

复用端口类型选择

芯片中 ADC 电路的所有模拟输入通道 AINx、参考电压外部输入脚均和 PA/PB 端口复用, 在使用 ADC 电路转换前, 须先将所使用的管脚通过 ANSL/ANSH 寄存器设置为模拟类型。

模拟信号输入通道选择

ADC 电路使能前, 需先选择 A/D 模拟通道。本芯片 ADC 电路支持 10 个外部通道和 1 个内部通道, 外部通道分别为 AIN0~AIN1、AIN3~AIN10, 内部通道 AN14 为内部 VREF。A/D 模拟通道可通过 ADCCL 寄存器中的 ADCHS <3:0>位选择。

对齐方式选择

本芯片 ADC 电路转换的结果支持两种对齐方式, 低位对齐和高位对齐, 可通过 ADCCH 寄存器中的 ADFM 位进行选择。

6.5.4 ADC转换步骤

下面概述实现 ADC 转换过程的各个步骤。

Step 1: 选择 ADC 转换时钟, 通过 ADCCH 寄存器中的 ADCKS<2:0>选择 ADC 转换时钟。

Step 2: 选择 ADC 参考电压源, 通过 ADCCH 寄存器中的 ADVREFS <1:0>位进行选择。

Step 3: 选择 ADC 采样时间, 通过 ADCCH 寄存器中的 A/D 采样时间选择位 ADST <1:0>设定。

Step 4: 选择 ADC 采样模式, 通过 ADCCL 寄存器中的 A/D 采样模式选择位 SMPS 选择软件采用或硬件采样。

Step 5: 设置复用端口设为模拟类型, 即选择哪些管脚作为 ADC 转换输入管脚, 由端口数模控制寄存器 ANSL、ANSH 控制选择。

Step 6: 选择模拟信号输入通道 AINx，通过 ADCCL 寄存器中的 ADCHS <3:0> 选择 ADC 模拟通道。

Step 7: 设置转换结果对齐方式，通过 ADCCH 寄存器中的 ADFM 位，选择高位对齐放置还是低位对齐放置。

Step 8: 如果要使用中断，则中断控制寄存器需要正确地设置，以确保 A/D 中断功能被正确激活。在默认中断模式时，需将全局中断使能位/高优先级中断使能位 GIE 置“1”，将 ADC 中断使能位置“1”；在向量中断模式时，需将全局中断使能位/高优先级中断使能位 GIE 置“1”，根据 A/D 中断所在组的优先级决定是否要开启低优先级中断使能位 GIEL，将 ADC 中断使能位置“1”。

Step 9: 使能 VREF 电路，将 VRC1 寄存器中的 VREF 使能为 VREFEN 设置为“1”。

Step 10: 使能 ADC 电路，将 ADCCL 寄存器中的 ADC 使能位 ADEN 设置为“1”。

Step 11: 当 ADCCL 寄存器中的 SMPS=0 时，选择软件采样模式，设置 ADCCL 寄存器中的 SMPON=1 启动采样，ADCCL 寄存器中的 ADTRG 位硬件自动置 1；当 SMPS=1 时，选择硬件采样模式，将 ADC 转换启动位 ADTRG 位设置为“1”，开始 ADC 转换。

Step 12: 轮询 ADCCL 寄存器中的转换状态位 ADTRG 位，确定此次 A/D 转换是否完成。

Step 13: 读取 ADCRH 和 ADCRL 寄存器中的转换结果。

6.5.5 AD时序特征示意图

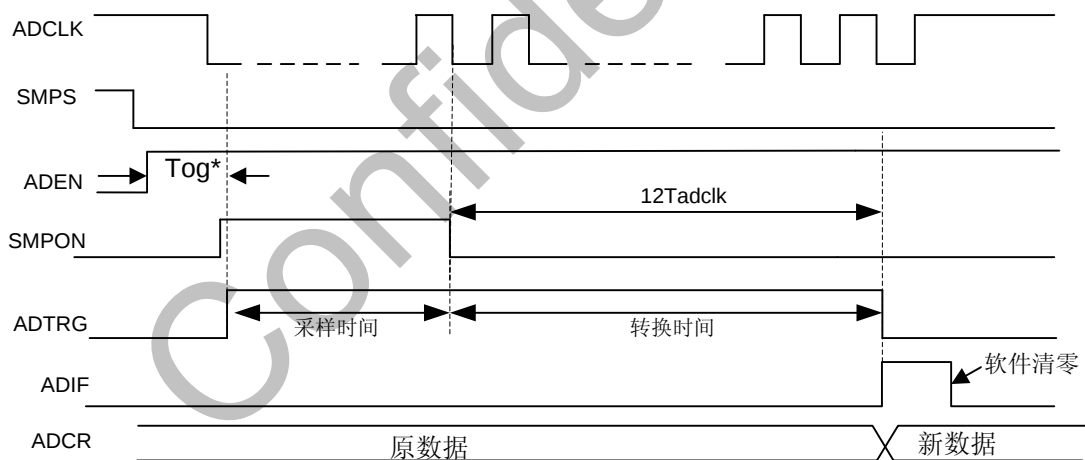


图 6-32 ADC 时序特征示意图 (SMPS=0)

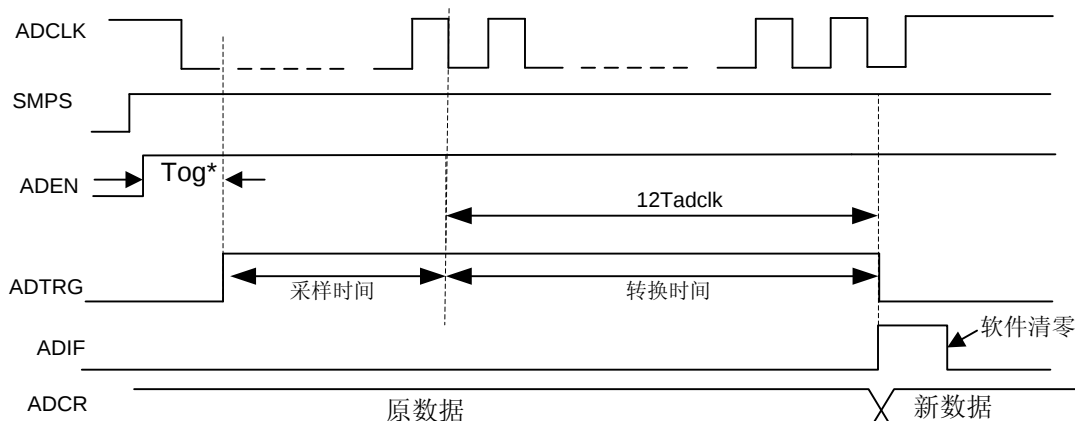


图 6-33 ADC 时序特征示意图 (SMPS=1)

注 1: Tog>0;

注 2: AD 转换时钟周期 Tadclk, 可通过 ADCKS<2:0>寄存器配置不同的频率。

6.5.6 参考例程

应用例程：对模拟输入通道 0 (AIN0)进行模数转换

```
.....
BSS    VRC1, VREFEN    ;使能 VREF 模块
BCC     ADCCH, ADFM     ; 转换结果高位对齐放置
MOVI    0x05           ; 硬件控制 ADC 采样模式
MOVA    ADCCL          ; 使能 ADC 转换器, 选中通道 0
BSS     ADCCL, ADTRG    ; 触发 ADC 转换

AD_WAIT:
JBC     ADCCL, ADTRG    ; 等待 ADC 转换完成
GOTO    AD_WAIT
MOV     ADCRH, 0        ; 读取高 8 位转换结果
.....
MOV     ADCRL, 0        ; 读取低 4 位转换结果
.....
```

注：当选择 LRC 时钟源时，ADC 中断可以唤醒 IDLE 模式。但在启动 ADC (ADTRG) 和执行 IDLE 指令之间必须保证 2 条指令的时间，可以使用 2 条 NOP 指令。

6.5.7 特殊功能寄存器

ADC 功能是由四个控制寄存器和两个数据寄存器控制实现的。其中 ADCRL 和 ADCRH 寄存器用于存储 ADC 转换的数据结果，结果对齐方式由 ADCCH 寄存器中的 ADFM 位控制选择；ADCCL 寄存器用于 ADC 模块的使能控制、ADC 采样模式选择、ADC 转换启动控制以及 ADC 模拟通道选择等；ADCCH 寄存器用于 ADC 采样时间选择、正负参考电压选择、ADC 时钟选择以及结果对齐方式选择等；ANSL 和 ANSH 寄存器用于控制复用端口的数模类型。

ADFM	ADCRH: ADC 转换值寄存器高 8 位								ADCRL: ADC 转换值寄存器低 8 位							
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
1	—	—	—	—	ADCR<11:8>				ADCR<7:0>							
0	ADCR<11:4>								ADCR<3:0>				—	—	—	—

ADCR<11:0>: A/D 转换结果

ADCCL: ADC 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	ADCHS<3:0>				SMPON	SMPS	ADTRG	ADEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	0	1	0	0

Bit 7~4 ADCHS<3:0>: A/D 模拟通道选择位

0000: 通道 0 (AIN0)

0001: 通道 1 (AIN1)

0010: 保留

0011: 通道 3 (AIN3)

0100: 通道 4 (AIN4)

0101: 通道 5 (AIN5)

0110: 通道 6 (AIN6)

0111: 通道 7 (AIN7)

1000: 通道 8 (AIN8)

1001: 通道 9 (AIN9)

1010: 通道 10 (AIN10)

1011~1110: 保留

1111: 屏蔽通道选择

Bit 3 SMPON: A/D 采样软件控制位

0: 结束采样

1: 启动采样

Bit 2 SMPS: A/D 采样模式选择位

0: 使能软件采样, 硬件采样禁止

1: 禁止软件采样, 硬件采样使能

Bit 1 ADTRG: A/D 采样转换状态位

0: A/D 未进行转换, 或 A/D 采样转换已完成

1: A/D 采样转换正在进行

当 SMPS=1 时, 该位软件置 1 启动 A/D 采样转换; 当 SMPS=0 时, SMPON=1 启动采样, 该位硬件自动置 1。

Bit 0 ADEN: A/D 转换使能位

0: 关闭 A/D 转换器

1: 运行 A/D 转换器

ADCCH: ADC 控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADFM	ADCKS<2:0>			ADST<1:0>		ADVREFS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	1	0	0	1	0	0	0

- Bit 7 ADFM: A/D 转换数据放置格式选择位
 0: 高位对齐 (ADCRH<7:0>, ADCRL<7:4>)
 1: 低位对齐 (ADCRH<3:0>, ADCRL<7:0>)
- Bit 6~4 ADCKS<2:0>: A/D 转换时钟频率 (Tadclk) 选择位
 000: Fosc
 001: Fosc/2
 010: Fosc/4
 011: Fosc/8
 100: Fosc/16
 101: Fosc/32
 110: Fosc/64
 111: LRC
- Bit 3~2 ADST<1:0>: A/D 硬件采样时间选择位
 00: 大约 2 个 Tadclk
 01: 大约 4 个 Tadclk
 10: 大约 8 个 Tadclk
 11: 大约 16 个 Tadclk
- Bit 1~0 ADVREFS<1:0>: 参考源选择位
 00: 参考电压正端为 VDD, 负端为 VSS
 01: 参考电压正端为内部 VREF, 负端为 VSS
 10: 参考电压正端为外部 VREFP, 负端为 VSS
 11: 参考电压正端为外部 VREFP, 负端为外部 VREFN

注 1: 如果在 A/D 转换过程中, 进行转换时钟切换, 切换后第一次 A/D 转换结果有可能存在误差;
 注 2: A/D 转换时钟频率建议选择不要大于 8MHz。

ANSL: 端口数模控制寄存器(AIN0~AIN6)

Bit	7	6	5	4	3	2	1	0
Name	—	ANSL6	ANSL5	ANSL4	ANSL3	—	ANSL1	ANSL0
R/W	—	R/W	R/W	R/W	R/W	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 未使用
- Bit 6 ANSL6: PA7/AIN6 端口数模选择位
 0: 模拟输入端口
 1: 数字输入端口
- Bit 5 ANSL5: PA6/AIN5 端口数模选择位
 0: 模拟输入端口
 1: 数字输入端口
- Bit 4 ANSL4: PA5/AIN4 端口数模选择位

- 0: 模拟输入端口
1: 数字输入端口
- Bit 3 ANSL3: PA4/AIN3 端口数模选择位
0: 模拟输入端口
1: 数字输入端口
- Bit 2 保留
- Bit 1 ANSL1: PA1/AIN1 端口数模选择位
0: 模拟输入端口
1: 数字输入端口
- Bit 0 ANSL0: PA0/AIN0 端口数模选择位
0: 模拟输入端口
1: 数字输入端口

ANSH: 端口数模控制寄存器(AIN7~AIN13)

Bit	7	6	5	4	3	2	1	0
Name	—	ANSH6	ANSH5	ANSH4	ANSH3	ANSH2	ANSH1	ANSH0
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	1	0	0	0	0	0	0

- Bit 7 未使用
- Bit 6 ANSH6: PB6/AIN13 端口数模选择位
0: 模拟输入端口
1: 数字输入端口
- Bit 5 ANSH5: PB5/AIN12 端口数模选择位
0: 模拟输入端口
1: 数字输入端口
- Bit 4 ANSH4: PB4/AIN11 端口数模选择位
0: 模拟输入端口
1: 数字输入端口
- Bit 3 ANSH3: PB3/AIN10 端口数模选择位
0: 模拟输入端口
1: 数字输入端口
- Bit 2 ANSH2: PB2/AIN9 端口数模选择位
0: 模拟输入端口
1: 数字输入端口
- Bit 1 ANSH1: PB1/AIN8 端口数模选择位
0: 模拟输入端口
1: 数字输入端口
- Bit 0 ANSH0: PB0/AIN7 端口数模选择位
0: 模拟输入端口
1: 数字输入端口

注: 和 A/D 相关的控制寄存器有 VRC2, TMRAD, PPGC, PWMxC。

6.6 低电压检测模块（LVD）

6.6.1 概述

芯片支持低电压检测功能，即 LVD，用于监测电源电压 VDD 电压。在供电电源不稳定的情况下，如外部电源噪声串扰或 EMS 测试条件下，会使电源剧烈波动。在目标电压未稳定时，可能会低于芯片工作电压。若检测到电压低于所设定的阈值，可提供一个警告信号。低电压检测也可产生中断信号。

6.6.2 LVD操作

LVD 功能的使能由 LVDC 寄存器中的 LVDEN 控制位设置。当 LVDEN 位清零时，LVD 功能禁止。当 LVDEN 位置高时，LVD 功能使能。LVD 模块将电源电压 VDD 与预先设定的阈值电压进行比较，比较结果通过 LVDC 寄存器的 LVDO 位进行查询。预置电压的阈值由 LVDC 寄存器中的 LVDS<3:0>配置，阈值范围为 2.0V~4.6V。当目标电压低于预置电压阈值时，LVDO 位被置高，表明检测到低电压产生。当 LVDO 变化时，产生 LVD 中断标志。当 LVD 中断使能开启时产生 LVD 中断请求。在睡眠模式下 LVD 中断可唤醒芯片。

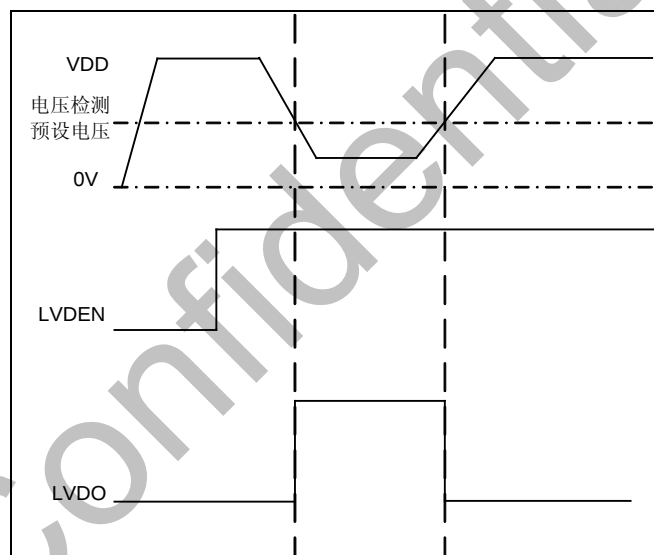


图 6-34 LVD 工作时序图

6.6.3 特殊功能寄存器

LVDC: LVD 检测寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LVDO	—	—	LVDEN	LVDS<3:0>			
R/W	R	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 LVDO: LVD 输出状态位

0: 被监测电压高于电压阈值

1: 被监测电压低于电压阈值

Bit 6~5 未使用

Bit 4 LVDEN: LVD 使能位

0: 禁止

1: 使能

Bit 3~0 LVDS<3:0>: LVD 电压检测选择位

1010~1111: 保留未用

1001: 4.6V

1000: 4.0V

0111: 3.6V

0110: 3.0V

0101: 2.8V

0100: 2.6V

0011: 2.4V

0010: 2.2V

0001: 2.1V

0000: 2.0V

第 7 章 MCU—中断处理

7.1 概述

中断是芯片的一个重要功能，它能将芯片从睡眠模式中唤醒，也可以使系统在正常运行过程中响应突发事件，中止并保存当前运行程序的信息，跳转到请求中断服务程序的入口地址，执行相对应的中断服务程序，处理突发事件。本芯片支持的中断模式有两种：默认中断模式和向量中断模式，最多可支持 32 个中断源：1 个软件中断和 31 个硬件中断。

7.2 中断控制结构框图

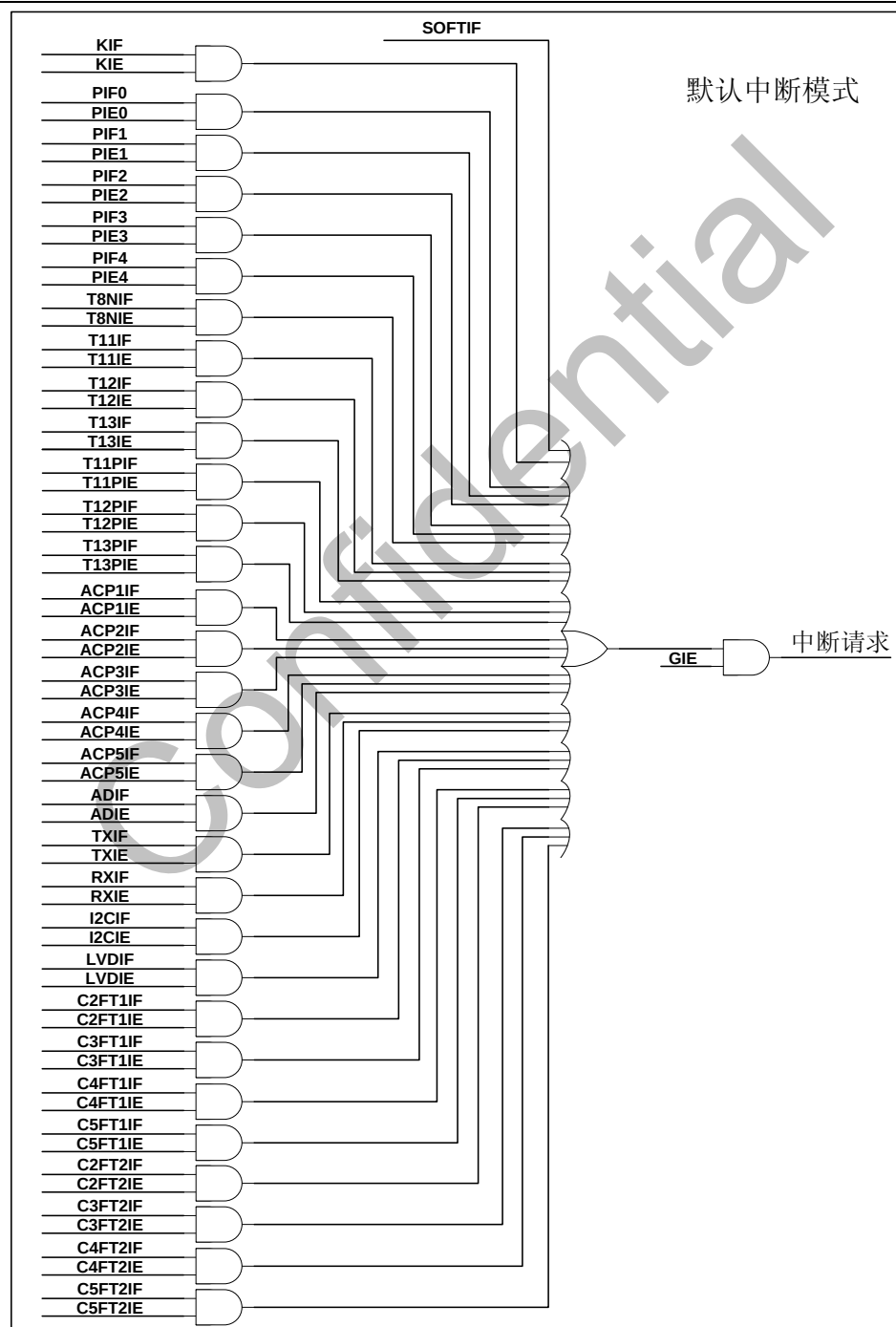


图 7-1 默认中断模式中中断控制逻辑

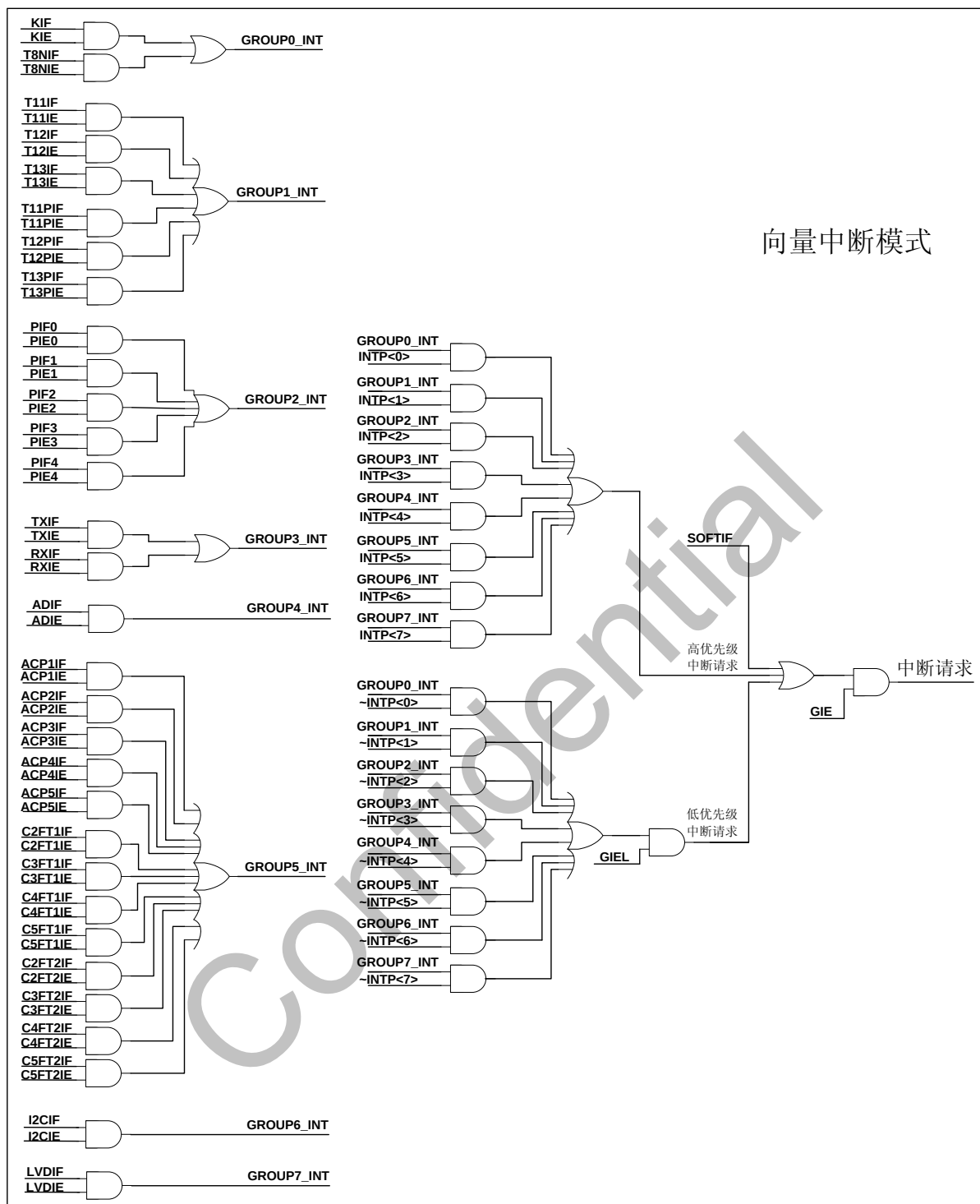


图 7-2 向量中断模式中中断控制逻辑

7.3 中断模式选择

芯片支持两种中断模式，默认中断模式和向量中断模式，可通过 INTG 寄存器中的 INTVEN0 位和芯片配置字中的 INTVEN1 位选择。需要注意的是，INTVEN0 和 INTVEN1 只有同时置“1”时，向量中断模式才有效。

INTVEN0 (INTG<2>)	INTVEN1 (芯片配置字 bit 11)	中断模式
0	0	默认中断模式
0	1	
1	0	
1	1	向量中断模式

表 7-1 中断模式选择表

默认中断模式只支持 1 个中断入口，即 0004H 入口地址，不支持中断优先级和中断嵌套。
向量中断模式支持多个中断入口，且支持中断优先级和中断嵌套。

7.3.1 默认中断模式

当配置为默认中断模式时，所有中断向量的入口地址均位于 0004H。用户需通过中断服务程序对各中断标志及中断使能位进行判断，确认引起中断操作的中断源，从而执行相应的中断服务子程序。该模式不支持中断优先级配置。

序号	中断源	中断名	中断标志	中断使能	全局使能	备注
1	软中断	软中断	SOFTIF	—	GIE	SOFTIF 软件置 1
2	外部按键中断	KINT	KIF	KIE	GIE	—
3	外部中断	PINT0	PIF0	PIE0	GIE	—
4		PINT1	PIF1	PIE1	GIE	—
5		PINT2	PIF2	PIE2	GIE	—
6		PINT3	PIF3	PIE3	GIE	—
7		PINT4	PIF4	PIE4	GIE	—
8	T8N 定时器/计数器溢出中断	T8NINT	T8NIF	T8NIE	GIE	—
9	T11 定时器溢出中断	T11INT	T11IF	T11IE	GIE	—
10	T12 定时器溢出中断	T12INT	T12IF	T12IE	GIE	—
11	T13 定时器溢出中断	T13INT	T13IF	T13IE	GIE	—
12	T11 周期溢出中断	T11PINT	T11PIF	T11PIE	GIE	—
13	T12 周期溢出中断	T12PINT	T12PIF	T12PIE	GIE	—
14	T13 周期溢出中断	T13PINT	T13PIF	T13PIE	GIE	—
15	模拟比较器 1 中断	ACP1INT	ACP1IF	ACP1IE	GIE	—
16	模拟比较器 2 中断	ACP2INT	ACP2IF	ACP2IE	GIE	—
17	模拟比较器 3 中断	ACP3INT	ACP3IF	ACP3IE	GIE	—
18	模拟比较器 4 中断	ACP4INT	ACP4IF	ACP4IE	GIE	—
19	模拟比较器 5 中断	ACP5INT	ACP5IF	ACP5IE	GIE	—
20	ADC 中断	ADINT	ADIF	ADIE	GIE	—
21	UART TX 中断	TXINT	TXIF	TXIE	GIE	—
22	UART RX 中断	RXINT	RXIF	RXIE	GIE	—
23	I ² C 通讯总中断中断	I2CINT	I2CIF	I2CIE	GIE	—
24	LVD 中断	LVDINT	LVDIF	LVDIE	GIE	—

序号	中断源	中断名	中断标志	中断使能	全局使能	备注
25	ACP2 检测故障 FT1 中断	C2FT1INT	C2FT1IF	C2FT1IE	GIE	—
26	ACP3 检测故障 FT1 中断	C3FT1INT	C3FT1IF	C3FT1IE	GIE	—
27	ACP4 检测故障 FT1 中断	C4FT1INT	C4FT1IF	C4FT1IE	GIE	—
28	ACP5 检测故障 FT1 中断	C5FT1INT	C5FT1IF	C5FT1IE	GIE	—
29	ACP2 检测故障 FT2 中断	C2FT2INT	C2FT2IF	C2FT2IE	GIE	—
30	ACP3 检测故障 FT2 中断	C3FT2INT	C3FT2IF	C3FT2IE	GIE	—
31	ACP4 检测故障 FT2 中断	C4FT2INT	C4FT2IF	C4FT2IE	GIE	—
32	ACP5 检测故障 FT2 中断	C5FT2INT	C5FT2IF	C5FT2IE	GIE	—

表 7-2 默认中断模式使能配置表

7.3.2 向量中断模式

7.3.2.1 向量表配置

当配置为向量中断模式时，各中断源按组划分，每组中断对应一个中断向量入口地址。软中断入口地址为 0004H，优先级最高；其它硬件中断分 8 组(IG0~IG7)，通过中断全局寄存器 INTG 中的 INTV<1:0>配置支持不同的向量表优先级排序，并对应 8 个中断入口地址。每组硬件中断可以分别设置高低优先级，响应中断嵌套。通过中断优先级寄存器 INTP 中的 IGPx 配置，将所有硬件中断源分为高低两个优先级仲裁区。根据 INTV<1:0>的设置，对处于该仲裁区内的硬件中断组，进行优先级排序，并响应优先级最高的。高低两个优先级仲裁区分别由高优先级中断使能位 GIE 和低优先级中断使能位 GIEL 来使能。在执行低优先级中断服务程序时，可嵌套响应高优先级中断组。

7.3.2.2 向量表配置

优先级		0（高）	1	2	3	4	5	6	7	8（低）
入口地址		0004H	0008H	000CH	0010H	0014H	0018H	001CH	0020H	0024H
INTV	00	软中断	IG0	IG1	IG2	IG3	IG4	IG5	IG6	IG7
	01		IG0	IG1	IG6	IG7	IG4	IG5	IG2	IG3
	10		IG4	IG5	IG2	IG3	IG0	IG1	IG6	IG7
	11		IG7	IG6	IG5	IG4	IG3	IG2	IG1	IG0

表 7-3 向量表配置表

7.3.2.3 中断分组配置

序号	中断组号	高低优先级选择	中断名	备注
1	IG0	IGP0	KINT	—
2			T8NINT	—
3	IG1	IGP1	T11INT	—
4			T12INT	—
5			T13INT	—
6			T11PINT	—
7			T12PINT	—
8			T13PINT	—
9	IG2	IGP2	PINT0	—
10			PINT1	—
11			PINT2	—
12			PINT3	—
13			PINT4	—
14	IG3	IGP3	TXINT	—
15			RXINT	—
16	IG4	IGP4	ADINT	—
17	IG5	IGP5	ACP1INT	—
18			ACP2INT	—
19			ACP3INT	—
20			ACP4INT	—
21			ACP5INT	—
22			C2FT1INT	—
23			C3FT1INT	—
24			C4FT1INT	—
25			C5FT1INT	—
26			C2FT2INT	—
27			C3FT2INT	—
28			C4FT2INT	—
29			C5FT2INT	—
30	IG6	IGP6	I2CINT	—
31	IG7	IGP7	LVDINT	—

表 7-4 向量中断模式中中断分组配置表

7.3.2.4 中断使能配置

序号	中断源	中断名	中断标志	中断使能	IGPx	低优先级中断使能位	全局中断使能位	备注
1	软中断	软中断	SOFTIF	—	—	—	GIE	SOFTIF 软件置 1
2	外部按键中断	KINT	KIF	KIE	0	GIEL	GIE	—
					1	—	GIE	—
3	外部中断	PINT0	PIF0	PIE0	0	GIEL	GIE	—
					1	—	GIE	—
4		PINT1	PIF1	PIE1	0	GIEL	GIE	—
					1	—	GIE	—
5		PINT2	PIF2	PIE2	0	GIEL	GIE	—
					1	—	GIE	—
6		PINT3	PIF3	PIE3	0	GIEL	GIE	—
					1	—	GIE	—
7		PINT4	PIF4	PIE4	0	GIEL	GIE	—
					1	—	GIE	—
8	T8N 定时器/计数器溢出中断	T8NINT	T8NIF	T8NIE	0	GIEL	GIE	—
					1	—	GIE	—
9	T11 定时器溢出中断	T11INT	T11IF	T11IE	0	GIEL	GIE	—
					1	—	GIE	—
10	T12 定时器溢出中断	T12INT	T12IF	T12IE	0	GIEL	GIE	—
					1	—	GIE	—
11	T13 定时器溢出中断	T13INT	T13IF	T13IE	0	GIEL	GIE	—
					1	—	GIE	—
12	T11 周期溢出中断	T11PINT	T11PIF	T11PIE	0	GIEL	GIE	—
					1	—	GIE	—
13	T12 周期溢出中断	T12PINT	T12PIF	T12PIE	0	GIEL	GIE	—
					1	—	GIE	—
14	T13 周期溢出中断	T13PINT	T13PIF	T13PIE	0	GIEL	GIE	—
					1	—	GIE	—
15	模拟比较器 1 中断	ACP1INT	ACP1IF	ACP1IE	0	GIEL	GIE	—
					1	—	GIE	—
16	模拟比较器 2 中断	ACP2INT	ACP2IF	ACP2IE	0	GIEL	GIE	—
					1	—	GIE	—
17	模拟比较器 3 中断	ACP3INT	ACP3IF	ACP3IE	0	GIEL	GIE	—
					1	—	GIE	—
18	模拟比较器 4 中断	ACP4INT	ACP4IF	ACP4IE	0	GIEL	GIE	—
					1	—	GIE	—
19	模拟比较器 5 中断	ACP5INT	ACP5IF	ACP5IE	0	GIEL	GIE	—
					1	—	GIE	—
20	ADC 中断	ADINT	ADIF	ADIE	0	GIEL	GIE	—
					1	—	GIE	—

序号	中断源	中断名	中断标志	中断使能	IGPx	低优先级中 断使能位	全局中断 使能位	备注
21	UART TX 中断	TXINT	TXIF	TXIE	0	GIEL	GIE	—
					1	—	GIE	—
22	UART RX 中 断	RXINT	RXIF	RXIE	0	GIEL	GIE	—
					1	—	GIE	—
23	I ² C 通讯总中 断中断	I2CINT	I2CIF	I2CIE	0	GIEL	GIE	—
					1	—	GIE	—
24	LVD 中断	LVDINT	LVDIF	LVDIE	0	GIEL	GIE	—
					1	—	GIE	—
25	ACP2 检测故 障 FT1 中断	C2FT1INT	C2FT1IF	C2FT1IE	0	GIEL	GIE	—
					1	—	GIE	—
26	ACP3 检测故 障 FT1 中断	C3FT1INT	C3FT1IF	C3FT1IE	0	GIEL	GIE	—
					1	—	GIE	—
27	ACP4 检测故 障 FT1 中断	C4FT1INT	C4FT1IF	C4FT1IE	0	GIEL	GIE	—
					1	—	GIE	—
28	ACP5 检测故 障 FT1 中断	C5FT1INT	C5FT1IF	C5FT1IE	0	GIEL	GIE	—
					1	—	GIE	—
29	ACP2 检测故 障 FT2 中断	C2FT2INT	C2FT2IF	C2FT2IE	0	GIEL	GIE	—
					1	—	GIE	—
30	ACP3 检测故 障 FT2 中断	C3FT2INT	C3FT2IF	C3FT2IE	0	GIEL	GIE	—
					1	—	GIE	—
31	ACP4 检测故 障 FT2 中断	C4FT2INT	C4FT2IF	C4FT2IE	0	GIEL	GIE	—
					1	—	GIE	—
32	ACP5 检测故 障 FT2 中断	C5FT2INT	C5FT2IF	C5FT2IE	0	GIEL	GIE	—
					1	—	GIE	—

表 7-5 向量中断模式使能配置表

7.4 中断现场保护

中断现场保护是中断服务程序中一个很重要的组成部分。

指令系统中有 PUSH（压栈）和 POP（出栈）指令，可以方便的实现当前工作状态的保存和恢复。A、PSW、PCRH 和 BKSR 寄存器，分别有各自的两级镜像寄存器 AS1、PSWS1、PCRHS1、BKRS1 和 AS0、PSWS0、PCRHS0、BKRS0，用于对相应寄存器的保存和恢复。镜像寄存器无物理地址，他们只能通过 PUSH 和 POP 指令自动完成相应的保存与恢复动作，两级镜像寄存器采用堆栈的操作方式。

7.5 中断操作

若中断事件条件产生，相关中断标志将被置为“1”。中断标志产生后程序要跳转至相应的服务程序地址执行，需满足以下条件：

1. 当对应中断使能位为“1”时，继续判断第二个条件是否满足；当对应中断使能位为“0”时，即使中断标志为“1”，中断也不会发生，程序也不会跳转至中断服务程序地址执行。

2. 在默认中断模式下, 当全局中断使能位 **GIE** 为“0”时, 将屏蔽所有中断请求。当全局中断使能位 **GIE** 为“1”时, 程序将跳至中断服务程序地址执行。在向量中断模式下, 当全局中断使能位 **GIE** 为“0”时, 将屏蔽所有中断请求。当全局中断使能位 **GIE** 为“1”时, 若对应中断所在组为高优先级, 程序将跳至中断服务程序地址执行; 若对应中断所在组为低优先级, 当低优先级中断使能位 **GIEL** 为“1”时, 在无高优先级中断请求时, 程序将跳至中断服务地址执行, 当低优先级中断使能位 **GIEL** 为“0”时, 将屏蔽所有低优先级中断请求。

7.5.1 外部中断

当 **PINTx** 复用端口被配置为数字输入端口, 且输入信号变化满足触发条件时, 将产生 **PINTx** 外部端口中断, 相应的中断标志 **PIFx** 被置“1”。当全局中断控制位 **GIE** 和外部端口中断控制位 **PIEx** 都被置为“1”时, 则向 CPU 发出 **PINTx** 外部端口中断请求。当中断条件允许时, 系统将进入相应中断的服务程序入口地址, 进行中断程序处理。

需要注意的是, 相应中断标志位 **PIFx** 和中断使能位 **PIEx** 都需通过软件清除, **PINTC** 寄存器用于配置触发条件, 可分别配置为上升沿触发、下降沿触发或双沿触发。

7.5.2 外部按键中断

当 **KINx** 复用端口被配置为数字输入端口, 未被屏蔽的按键中任何一个端口输入信号发生电平变化时, 将中断标志位 **KIF** 置为“1”, 当外部按键中断控制位 **KIE** 为“1”, 且全局中断控制位 **GIE** 和低优先级中断使能位 **GIEL** 根据中断模式正确使能时, 则向 CPU 发出外部按键中断请求。CPU 根据中断的优先级响应当前中断的请求, 当外部按键中断条件允许时, 系统将进入相应中断的服务程序入口地址, 进行中断程序处理。

使用外部按键中断时, 须配置相应的控制寄存器, 并且使能外部按键中断端口的内部弱上拉电阻。

在按键中断使能 (**KMSKx=1**, **KIE=1**) 前, 先对端口寄存器进行读或者写的操作, 清除中断标志位, 以免误产生中断。

清除该中断标志位 **KIF** 的操作步骤如下:

- 1) 对端口寄存器进行读或者写操作, 清除端口电平与锁存器值的不匹配条件;
- 2) 软件清除中断标志位 **KIF**。

中断使能位 **KIE** 也需要通过软件进行清除。

7.5.3 ADC中断

ADC 中断由 ADC 转换动作控制, 当 ADC 转换完成时, 将产生 ADC 中断, ADC 中断标志位 **ADIF** 被置“1”。当 ADC 中断控制位 **ADIE** 置为“1”, 且全局中断控制位 **GIE** 和低优先级中断使能位 **GIEL** 根据中断模式正确使能时, 则向 CPU 发出 ADC 中断请求。CPU 根据中断的优先级响应当前中断的请求, 当 ADC 中断条件允许时, 系统将进入相应中断的服务程序入口地址, 进行中断程序处理。需要注意的是, ADC 中断标志位 **ADIF** 和中断使能位 **ADIE** 都需通过软件清除。

7.5.4 T8N溢出中断

8 位定时器/计数器 **T8N** 处于定时器模式或计数器模式, 当 **T8N** 计数器递增计数由 **FFH** 变为 **00H** 时, **T8N** 计数器发生溢出, 将中断标志 **T8NIF** 位置“1”。当 **T8N** 溢出中断使能位

T8NIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T8N 溢出中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T8N 溢出中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T8N 溢出中断标志位 T8NIF 和中断使能位 T8NIE 都需通过软件清除。

7.5.5 T1x(T11/T12/T13)匹配中断

12 位定时器 T1x 各种工作模式都可产生匹配中断：

1. 定时器模式/同步计数模式/异步计数模式/PWM 模式/捕捉模式

12 位定时器 T1x 处于定时器模式/同步计数模式/异步计数模式/PWM 模式/捕捉模式，对计数时钟进行递增计数，当 T1x 后分频器的计数值与后分频器分频比相同时，产生匹配中断。

2. 捕捉模式

当输入信号的变化状态满足捕捉条件时，将 T1x 计数器的值捕捉到寄存器(T1xRH:T1xRL)中，并产生捕捉中断。

T1x 匹配中断产生时，将中断标志 T1xIF 位置“1”。当 T1x 匹配中断使能位 T1xIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T1x 定时中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T1x 匹配中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T1x 匹配中断标志位 T1xIF 和中断使能位 T1xIE 都需通过软件清除。

7.5.6 T1x(T11/T12/T13)周期中断

12 位定时器 T1x 处于定时器模式/同步计数模式/异步计数模式/PWM 模式/单脉冲发射 SPT 模式，T1x 从零开始递增计数，当 T1x 与 T1xP 寄存器的值相等时，将产生 T1x 周期中断，中断标志 T1xPIF 被置“1”。如果中断使能位 T1xPIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T1x 周期中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T1x 周期中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T1x 周期中断标志位 T1xPIF 和中断使能位 T1xPIE 都需通过软件清除。

7.5.7 UART 中断

UART 中断包括两种：发送中断和接收中断。

当 UART 异步发送器的发送数据寄存器 TXB 为空，或异步接收器完成一个数据接收时，产生 UART 发送/接收中断，发送/接收中断标志位 RXIF/TXIF 被置为“1”。如果发送/接收中断使能位 RXIE/TXIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 UART 发送/接收中断请求。CPU 根据中断的优先级响应当前中断的请求，当 UART 发送/接收中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，发送/接收中断标志位 RXIF/TXIF 和中断使能位 RXIE/TXIE 都需通过软件清除。

7.5.8 I2CS 中断

当 I2CSRIF、I2CSPIF、I2CTBIF、I2CRBIF、I2CTEIF、I2CROIF 和 I2CNAIF 中任何一个中断标志位置 1 时，I²C 总中断标志位 I2CIF 就会置 1。如果 I²C 中断使能位 I2CIE 置为

“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 I²C 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 I²C 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，需要软件清零 I2CIF，但在清零 I2CIF 总中断标志位之前，需先清零 I2CSRIF、I2CSPIF、I2CTEIF、I2CROIF 和 I2CNAIF 等相关中断标志位。

7.5.9 模拟比较器 ACP 中断

当模拟比较器 ACP_x 输出状态位 CxOUT 有变化时，将中断标志 ACP_xIF 位置“1”。当中断使能位 ACP_xIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 ACP_x 比较中断请求。CPU 根据中断的优先级响应当前中断的请求，当 ACP_x 比较中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，ACP_x 比较中断标志位 ACP_xIF 和中断使能位 ACP_xIE 都需通过软件清除。

7.5.10 LVD 中断

当 VDD 电压小于 LVDC 寄存器设置的阈值电压时，低电压产生，LVDO 上升沿或下降沿触发后，中断标志 LVDIF 位被置“1”。如果中断使能位 LVDIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 LVD 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 LVD 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，LVD 中断标志位 LVDIF 和中断使能位 LVDIE 都需通过软件清除。

7.5.11 中断操作注意事项

用户在使能中断前需先清除相应的中断标志，避免中断的误触发。

除只读的中断标志（由硬件清除）外，其余的中断标志必须通过软件清除。

为避免中断的发生与中断标志清除操作冲突时，清除中断标志不成功，建议用户在进行中断标志清除操作后，对中断标志清除成功与否进行软件判断。如果操作不成功则再次进行中断标志清除操作，直到中断标志清除成功为止。用户也可以连续执行两次中断标志清除操作达到相同目的。

7.6 特殊功能寄存器

中断功能由一系列的控制寄存器和芯片配置字共同控制。

INTG: 中断全局寄存器								
Bit	7	6	5	4	3	2	1	0
Name	GIE	GIEL	—	—	SOFTIF	INTVEN0	INTV<1:0>	
R/W	R/W	R/W	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 GIE: 全局中断使能位，或高优先级中断使能位
 0: 禁止所有的中断，或禁止高优先级中断
 1: 使能所有未屏蔽的中断，或使能高优先级中断
- Bit 6 GIEL: 低优先级中断使能位（向量中断模式）

- 0: 禁止低优先级中断
1: 使能低优先级中断
- Bit 5~4 未使用
- Bit 3 SOFTIF: 软中断标志位
0: 无软中断
1: 有软中断
- Bit 2 INTVEN0: 中断模式选择位
0: 默认中断模式
1: 向量中断模式 (芯片配置字 INTVEN1 必须为 1)
- Bit 1~0 INTV<1:0>: 中断向量表选择位, 参考向量表配置

INTP: 中断优先级寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IGP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~0 IGP<7:0>: IG7-IG0 中断优先级设置
0: 低优先级
1: 高优先级

INTC0: 中断控制寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	PEG1	PEG0	PEG2<1:0>		KMSK3	KMSK2	KMSK1	KMSK0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 PEG1: PINT1 触发边沿选择位
0: PINT1 下降沿触发
1: PINT1 上升沿触发
- Bit 6 PEG0: PINT0 触发边沿选择位
0: PINT0 下降沿触发
1: PINT0 上升沿触发
- Bit 5~4 PEG2<1:0>: PINT2~PINT4 触发边沿选择位
00: PINT2~PINT4 降沿触发
01: PINT~PINT4 上升沿触发
1x: PINT~PINT4 双沿触发
- Bit 3 KMSK3: KIN3 按键输入屏蔽位
0: 屏蔽
1: 不屏蔽
- Bit 2 KMSK2: KIN2 按键输入屏蔽位
0: 屏蔽
1: 不屏蔽
- Bit 1 KMSK1: KIN1 按键输入屏蔽位
0: 屏蔽
1: 不屏蔽

Bit 0 KMSK0: KIN0 按键输入屏蔽位
0: 屏蔽
1: 不屏蔽

INTF0: 中断标志寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	PIF1	PIF0	T11PIF	T13IF	T12IF	T11IF	T8NIF	KIF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 PIF1: 外部端口中断 1 标志位
0: 外部端口 PINT1 上无中断信号
1: 外部端口 PINT1 上有中断信号 (必须用软件清零)

Bit 6 PIF0: 外部端口中断 0 标志位
0: 外部端口 PINT0 上无中断信号
1: 外部端口 PINT0 上有中断信号 (必须用软件清零)

Bit 5 T11PIF: T11 周期中断标志位
0: T11 未产生中断
1: T11 产生中断 (必须软件清零)

Bit 4 T13IF: T13 匹配中断标志位
0: T13 计数器计数未发生匹配
1: T13 计数器计数发生匹配 (必须软件清零)

Bit 3 T12IF: T12 匹配中断标志位
0: T12 计数器计数未发生匹配
1: T12 计数器计数发生匹配 (必须软件清零)

Bit 2 T11IF: T11 匹配中断标志位
0: T11 计数器计数未发生匹配
1: T11 计数器计数发生匹配 (必须软件清零)

Bit 1 T8NIF: T8N 溢出中断标志位
0: T8N 计数未溢出
1: T8N 计数溢出 (必须用软件清零)

Bit 0 KIF: 外部按键中断标志位
0: 外部按键端口无电平变化
1: 外部按键端口有电平变化 (必须软件清零)

INTE0: 中断使能寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	PIE1	PIE0	T11PIE	T13IE	T12IE	T11IE	T8NIE	KIE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 PIE1: 外部端口中断 1 使能位
0: 禁止
1: 使能

Bit 6 PIE0: 外部端口中断 0 使能位
0: 禁止

- 1: 使能
- Bit 5 T11PIE: T11 周期中断使能位
0: 禁止
1: 使能
- Bit 4 T13IE: T13 匹配中断使能位
0: 禁止
1: 使能
- Bit 3 T12IE: T12 匹配中断使能位
0: 禁止
1: 使能
- Bit 2 T11IE: T11 匹配中断使能位
0: 禁止
1: 使能
- Bit 1 T8NIE: T8N 溢出中断使能位
0: 禁止
1: 使能
- Bit 0 KIE: 外部按键中断使能位
0: 禁止
1: 使能

INTF1: 中断标志寄存器 1

Bit	7	6	5	4	3	2	1	0
Name	LVDIF	T12PIF	ACP5IF	ACP4IF	ACP3IF	ACP2IF	ACP1IF	ADIF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 LVDIF: LVD 中断标志位
0: 电源电压高于 LVD 检测电压
1: 电源电压低于 LVD 检测电压
- Bit 6 T12PIF: T12 周期中断标志位
0: T12 未产生中断
1: T12 产生中断 (必须软件清零)
- Bit 5 ACP5IF: ACP5 中断标志位
0: 模拟比较器 5 输出未发生改变
1: 模拟比较器 5 输出发生改变 (必须软件清零)
- Bit 4 ACP4IF: ACP4 中断标志位
0: 模拟比较器 4 输出未发生改变
1: 模拟比较器 4 输出发生改变 (必须软件清零)
- Bit 3 ACP3IF: ACP3 中断标志位
0: 模拟比较器 3 输出未发生改变
1: 模拟比较器 3 输出发生改变 (必须软件清零)
- Bit 2 ACP2IF: ACP2 中断标志位
0: 模拟比较器 2 输出未发生改变
1: 模拟比较器 2 输出发生改变 (必须软件清零)
- Bit 1 ACP1IF: ACP1 中断标志位

- 0: 模拟比较器 1 输出未发生改变
1: 模拟比较器 1 输出发生改变（必须软件清零）

Bit 0 ADIF: ADC 中断标志位

- 0: 正在进行 AD 转换
1: AD 转换已经完成（必须用软件清零）

INTE1: 中断标志寄存器 1

Bit	7	6	5	4	3	2	1	0
Name	LVDIE	T12PIE	ACP5IE	ACP4IE	ACP3IE	ACP2IE	ACP1IE	ADIE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 LVDIE: LVD 中断使能位

- 0: 禁止
1: 使能

Bit 6 T12PIE: T12 周期中断使能位

- 0: 禁止
1: 使能

Bit 5 ACP5IE: ACP5 模拟比较器中断使能位

- 0: 禁止
1: 使能

Bit 4 ACP4IE: ACP4 模拟比较器中断使能位

- 0: 禁止
1: 使能

Bit 3 ACP3IE: ACP3 模拟比较器中断使能位

- 0: 禁止
1: 使能

Bit 2 ACP2IE: ACP2 模拟比较器中断使能位

- 0: 禁止
1: 使能

Bit 1 ACP1IE: ACP1 模拟比较器中断使能位

- 0: 禁止
1: 使能

Bit 0 ADIE: ADC 中断使能位

- 0: 禁止
1: 使能

INTF2: 中断标志寄存器 2

Bit	7	6	5	4	3	2	1	0
Name	T13PIF	I2CIF	C5FT1IF	C4FT1IF	C3FT1IF	C2FT1IF	RXIF	TXIF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
POR	0	0	0	0	0	0	0	0

Bit 7 T13PIF: T13 周期中断标志位

- 0: T13 未产生中断

- 1: T13 产生中断（必须软件清零）
- Bit 6 I2CIF: I2CS 通讯总中断标志位
0: 未发生通讯中断
1: 发生通讯中断
- Bit 5 C5FT1IF: ACP5 检测故障 FT1 中断标志位
0: 未发生 FT1 故障
1: 发生 FT1 故障
- Bit 4 C4FT1IF: ACP4 检测故障 FT1 中断标志位
0: 未发生 FT1 故障
1: 发生 FT1 故障
- Bit 3 C3FT1IF: ACP3 检测故障 FT1 中断标志位
0: 未发生 FT1 故障
1: 发生 FT1 故障
- Bit 2 C2FT1IF: ACP2 检测故障 FT1 中断标志位
0: 未发生 FT1 故障
1: 发生 FT1 故障
- Bit 1 RXIF: UART 接收中断标志位
0: 接收缓冲区空（接收未完成）
1: 接收缓冲区满（接收完成），读 RXB 清零
- Bit 0 TXIF: UART 发送中断标志位
0: 发送缓冲区满（发送未完成）
1: 发送缓冲区空（发送完成），写 TXB 清零

INTE2: 中断标志寄存器 2

Bit	7	6	5	4	3	2	1	0
Name	T13PIE	I2CIE	C5FT1IE	C4FT1IE	C3FT1IE	C2FT1IE	RXIE	TXIE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T13PIE: T13 周期中断使能位
0: 禁止
1: 使能
- Bit 6 I2CIE: I2CS 通讯总中断使能位
0: 禁止
1: 使能
- Bit 5 C5FT1IE: ACP5 检测故障 FT1 中断使能位
0: 禁止
1: 使能
- Bit 4 C4FT1IE: ACP4 检测故障 FT1 中断使能位
0: 禁止
1: 使能
- Bit 3 C3FT1IE: ACP3 检测故障 FT1 中断使能位
0: 禁止
1: 使能
- Bit 2 C2FT1IE: ACP2 检测故障 FT1 中断使能位

- 0: 禁止
1: 使能
- Bit 1 RXIE: UART 接收中断使能位
0: 禁止
1: 使能
- Bit 0 TXIE: UART 发送中断使能位
0: 禁止
1: 使能

INTF3: 中断标志寄存器 3								
Bit	7	6	5	4	3	2	1	0
Name	C5FT2IF	C4FT2IF	C3FT2IF	C2FT2IF	—	PIF4	PIF3	PIF2
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 C5FT2IF: ACP5 检测故障 FT2 中断标志位
0: 未发生 FT2 故障
1: 发生 FT2 故障
- Bit 6 C4FT2IF: ACP4 检测故障 FT2 中断标志位
0: 未发生 FT2 故障
1: 发生 FT2 故障
- Bit 5 C3FT2IF: ACP3 检测故障 FT2 中断标志位
0: 未发生 FT2 故障
1: 发生 FT2 故障
- Bit 4 C2FT2IF: ACP2 检测故障 FT2 中断标志位
0: 未发生 FT2 故障
1: 发生 FT2 故障
- Bit 3 未使用
- Bit 2 PIF4: 外部端口中断 4 标志位
0: 外部端口 PINT4 上无中断信号
1: 外部端口 PINT4 上有中断信号 (必须用软件清零)
- Bit 1 PIF3: 外部端口中断 3 标志位
0: 外部端口 PINT3 上无中断信号
1: 外部端口 PINT3 上有中断信号 (必须用软件清零)
- Bit 0 PIF2: 外部端口中断 2 标志位
0: 外部端口 PINT2 上无中断信号
1: 外部端口 PINT2 上有中断信号 (必须用软件清零)

INTE3: 中断标志寄存器 3								
Bit	7	6	5	4	3	2	1	0
Name	C5FT2IE	C4FT2IE	C3FT2IE	C2FT2IE	—	PIE4	PIE3	PIE2
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 C5FT2IE: ACP5 检测故障 FT2 中断使能位

	0: 禁止
	1: 使能
Bit 6	C4FT2IE: ACP4 检测故障 FT2 中断使能位
	0: 禁止
	1: 使能
Bit 5	C3FT2IE: ACP3 检测故障 FT2 中断使能位
	0: 禁止
	1: 使能
Bit 4	C2FT2IE: ACP2 检测故障 FT2 中断使能位
	0: 禁止
	1: 使能
Bit 3	未使用
Bit 2	PIE4: 外部端口中断 4 使能位
	0: 禁止
	1: 使能
Bit 1	PIE3: 外部端口中断 3 使能位
	0: 禁止
	1: 使能
Bit 0	PIE2: 外部端口中断 2 使能位
	0: 禁止
	1: 使能

第 8 章 MCU—芯片配置字

寄存器名称	芯片配置字 (CFG_WD)	
地址	8001 _H	
OSCS <2:0>	bit2-0	振荡器选择位 000: 保留 001: 保留 010: 保留 011: 保留 100: 保留 101: 保留 110: INTOSC 16MHz 模式, PA0 管脚功能为 CLKO, PA1 为 I/O 管脚 111: INTOSCIO 16MHz 模式, PA0, PA1 为 I/O 管脚
WDTEN	bit3	硬件看门狗使能位 0: 禁止 1: 使能
PWRTEB	bit4	上电/低电压定时器使能位 当 N_MRST 管脚用于外部复位时 0: 使能 1: 禁止 当 N_MRST 管脚用于数字输入时, 固定为使能
MRSTEN	bit5	N_MRST 管脚功能选择位 0: 管脚用于数字输入 1: 管脚用于外部复位
BORVS	bit7-6	低电压选择位 00: 保留 01: 保留 10: 2.8V 11: 2.0V (默认)
—	bit8	固定为 1
FREN	bit9	FLASH 数据存储区读写使能位 0: 禁止 1: 使能
ICDEN	bit10	ICD 调试模式使能位 0: 使能 1: 禁止
INTVEN1	bit11	中断模式选择位 0: 默认中断模式 1: 向量中断模式 (控制寄存器位 INTVEN0 也必须为 1)
—	bit12	固定为 0
DPAGES<1:0>	Bit14-13	数据 FLASH 存储器操作空间选择位 00: 第 1~2 页为数据 FLASH 存储区

寄存器名称	芯片配置字 (CFG_WD)	
		01: 第 1 页为数据 FLASH 存储区 1x: 禁止, 无数据 FLASH 存储区操作
—	bit15	固定为 1

注 1: CLK0 为系统时钟 16 分频输出;

注 2: 芯片配置字通过编程界面配置;

注 3: 建议一直使能低电压检测复位模块。

Confidential

第 9 章 MCU—指令集

9.1.1 概述

MCU 提供了 79 条精简指令。

汇编指令为了方便程序设计者使用，指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与连接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分。操作码部分对应到指令本身。

芯片运行在 4MHz 振荡时钟时，一个机器周期的时间为 500ns。

按照指令执行的机器周期数可将指令分为双周期指令和单周期指令，其中 CALL、LCALL、RCALL、GOTO、JUMP、RET、RETIA、RETIE 为双周期指令；满足跳转条件时，JBC、JBS、JDEC、JINC 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

9.1.2 寄存器操作指令

序号	指令		影响状态位	机器周期	操作
1	SECTION	I<7:0>	—	1	I<7:0>->BKSR<7:0>
2	PAGE	I<8:0>	—	1	I<4:0>->PCRH<7:3>
3	ISTEP	I<7:0>	—	1	IAA+i->IAA(-128≤i≤127)
4	MOVI	I<7:0>	—	1	I<7:0>->(A)
5	MOV	R<7:0>,F	Z,N	1	(R)->(目标)
6	MOVA	R<7:0>	—	1	(A)->(R)
7	MOVAR	R<10:0>	—	1	(A)->(R)
8	MOVRA	R<10:0>	—	1	(R)->(A)

9.1.3 程序控制指令

序号	指令		影响状态位	机器周期	操作
9	JUMP	I<7:0>	—	2	PC+1+i<7:0>->PC (-128≤i≤127)
10	AJMP	I<19:0>	—	2	I<13:0>->PC<13:0> I<13:8>->PCRH<5:0>
11	GOTO	I<10:0>	—	2	I<10:0>->PC<10:0>, PCRH<5:3>->PC<13:11>
12	CALL	I<10:0>	—	2	PC+1->TOS, I<10:0>->PC<10:0>, PCRH<5:3>->PC<13:11>
13	LCALL	I<19:0>	—	2	PC+1->TOS, I<13:0>->PC<13:0> I<13:8>->PCRH<5:0>
14	RCALL	R<7:0>	—	2	PC+1->TOS, (R)->PC<7:0>,

					PCRH<5:0>→PC<13:8>,
15	JBC	R<7:0>,B<2:0>	—	2 或 1	当 R = 0 时跳过下一条指令
16	JBS	R<7:0>,B<2:0>	—	2 或 1	当 R = 1 时跳过下一条指令
17	JCAIE	I<7:0>	—	2 或 1	当(A) = I 时跳过下一条指令
18	JCAIG	I<7:0>	—	2 或 1	当(A) > I 时跳过下一条指令
19	JCAIL	I<7:0>	—	2 或 1	当(A) < I 时跳过下一条指令
20	JCRAE	R<7:0>	—	2 或 1	当(R) = (A)时跳过下一条指令
21	JCRAG	R<7:0>	—	2 或 1	当(R) > (A)时跳过下一条指令
22	JCRAL	R<7:0>	—	2 或 1	当(R) < (A)时跳过下一条指令
23	JCCRE	R<7:0>,B<2:0>	—	2 或 1	当 C = R(B)时跳过下一条指令
24	JCCRG	R<7:0>,B<2:0>	—	2 或 1	当 C > R(B)时跳过下一条指令
25	JCCRL	R<7:0>,B<2:0>	—	2 或 1	当 C < R(B)时跳过下一条指令
26	JDEC	R<7:0>,F	—	2 或 1	(R-1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
27	JINC	R<7:0>,F	—	2 或 1	(R+1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
28	NOP	—	—	1	空操作
29	POP	—	—	1	AS->A,PSWS->PSW, BKSR->BKSRs,PCRHS->PCRH
30	PUSH	—	—	1	A->AS,PSW->PSWS, BKSR->BKSRs,PCRHS->PCRHS
31	RET	—	—	2	TOS->PC
32	RETIA	I<7:0>	—	2	I->(A),TOS->PC
33	RETIE	—	—	2	TOS->PC,1->GIE
34	RST	—	全部状态位 均被影响	1	软件复位指令
35	CWDT	—	N_TO,N_PD	1	00H->WDT,0->WDTPrescaler, 1-> N_TO, 1-> N_PD
36	IDLE	—	N_TO,N_PD	1	00H->WDT,0->WDTPrescaler, 1-> N_TO, 0-> N_PD

9.1.4 算术/逻辑运算指令

序号	指令		影响 状态位	机器 周期	操作
37	ADD	R<7:0>,F	C,DC, Z,OV,N	1	(R)+(A)->(目标)
38	ADDC	R<7:0>,F	C,DC,Z,OV,N	1	(R)+(A)+C->(目标)
39	ADDCI	I<7:0>	C,DC,Z,OV,N	1	I+(A)+C->(A)
40	ADDI	I<7:0>	C,DC,Z,OV,N	1	I+(A)->(A)
41	AND	R<7:0>,F	Z,N	1	(A).AND.(R)->(目标)
42	ANDI	I<7:0>	Z,N	1	I.AND.(A)->(A)
43	BCC	R<7:0>,B<2:0>	—	1	0->R
44	BSS	R<7:0>,B<2:0>	—	1	1->R
45	BTT	R<7:0>,B<2:0>	—	1	(~R)->R

序号	指令		影响 状态位	机器 周期	操作
46	CLR	R<7:0>	Z	1	(R)=0
47	SETR	R<7:0>	—	1	FF _H →(R)
48	NEG	R<7:0>	C,DC,Z,OV,N	1	~(R)+1→(R)
49	COM	R<7:0>,F	Z,N	1	(~R)→(目标)
50	DAR	R<7:0>,F	C	1	对(R)十进制调整→(目标)
51	DAA	—	C	1	对(A)十进制调整→(A)
52	DEC	R<7:0>,F	C,DC,Z,OV,N	1	(R-1)→(目标)
53	INC	R<7:0>,F	C,DC,Z,OV,N	1	(R+1)→(目标)
54	IOR	R<7:0>,F	Z,N	1	(A).OR.(R)→(目标)
55	IORI	I<7:0>	Z,N	1	I.OR.(A)→(A)
56	RLB	R<7:0>,F,B<2:0>	C,Z,N	1	C<< R<7:0> (R带C向左循环移位)
57	RLBNC	R<7:0>,F,B<2:0>	Z,N	1	R<7> << R<7:0> (R不带C向左循环移位)
58	RRB	R<7:0>,F,B<2:0>	C,Z,N	1	C>> R<7:0> (R带C向右循环移位)
59	RRBNC	R<7:0>,F,B<2:0>	Z,N	1	R<7:0> >> R<0> (R不带C向右循环移位)
60	SUB	R<7:0>,F	C,DC,Z,OV,N	1	(R)-(A)→(目标)
61	SUBC	R<7:0>,F	C,DC,Z,OV,N	1	(R)-(A)- (~C)→(目标)
62	SUBCI	I<7:0>	C, DC, Z,OV,N	1	I-(A)- (~C)→(A)
63	SUBI	I<7:0>	C, DC, Z,OV,N	1	I-(A)→(A)
64	SSUB	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)→(目标)
65	SSUBC	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)- (~C)→(目标)
66	SSUBCI	I<7:0>	C, DC, Z,OV,N	1	(A)-I- (~C)→(A)
67	SSUBI	I<7:0>	C, DC, Z,OV,N	1	(A)-I→(A)
68	SWAP	R<7:0>,F	—	1	R<3:0>→(目标)<7:4>, R<7:4>→(目标)<3:0>
69	TBR	—	—	2	Pmem(FRA)→ROMD
70	TBR#1	—	—	2	Pmem(FRA)→ ROMD, FRA+1→FRA
71	TBR_1	—	—	2	Pmem(FRA)→ ROMD, FRA-1→FRA
72	TBR1#	—	—	2	FRA+1→FRA, Pmem(FRA)→ ROMD
73	TBW	—	—	2	ROMD→prog buffer
74	TBW#1	—	—	2	ROMD>prog buffer, FRA+1→FRA
75	TBW_1	—	—	2	ROMD→prog buffer, FRA-1→FRA
76	TBW1#	—	—	2	FRA+1→FRA,

序号	指令		影响 状态位	机器 周期	操作
					ROMD->prog buffer
77	XOR	R<7:0>, F	Z,N	1	(A).XOR.(R)->(目标)
78	XORI	I<7:0>	Z,N	1	I.XOR.(A)->(A)

注：指令集说明

- 1: i—立即数， F—标志位， A—寄存器 A， R—寄存器 R， B—寄存器 R 的第 B 位。
- 2: C—进位/借位， DC—半进位/半借位， Z—零标志位， OV—溢出标志位， N—负标志位。
- 3: TOS—顶级堆栈。
- 4: 如果 F = 0，则目标寄存器为寄存器 A；如果 F = 1，则目标寄存器为寄存器 R。
- 5: 79 条指令中另有一条 NOP 指令未在上表中描述。
- 6: SECTION 指令中，N 的位数，视实际芯片而定。对本芯片，通用数据存储器 GPR 分为 8 个存储体组，所以 N 的位数是 3 位。
- 7: PAGE 指令中，N 的位数，视实际芯片而定。对本芯片，没有 PCRU 寄存器，N 的位数是 3 位。
- 8: PC 的位数以及 PCRU 寄存器，视实际芯片而定。对本芯片，PC 的位数是 13 位，没有 PCRU 寄存器。

第 10 章 MCU—特殊功能寄存器总表

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FF80 _H	IAD	IAD<7:0>								0000 0000
FF81 _H	IAAL	IAAL<7:0>								0000 0000
FF82 _H	IAAH	IAAH<7:0>								0000 0000
FF83 _H	BKSR	—	—	—	—	—	DBKSR<2:0>			0000 0000
FF84 _H	PSW	—	UF	OF	N	OV	Z	DC	C	x00x xxxx
FF85 _H	AREG	A<7:0>								xxxx xxxx
FF86 _H	PCRL	PCRL<7:0>								0000 0000
FF87 _H	PCRH	—	—	—	PCRH<4:0>					0000 0000
FF88 _H	MULA/MULL	MULA<7:0> / MULL<7:0>								xxxx xxxx
FF89 _H	MULB/MULH	MULB<7:0> / MULH<7:0>								xxxx xxxx
FF8A _H	DIVEL/DIVQL	DIVEL<7:0>/ DIVQL<7:0>								xxxx xxxx
FF8B _H	DIVEH/DIVQH	DIVEH<7:0>/ DIVQH<7:0>								xxxx xxxx
FF8C _H	DIVS/DIVR	DIVS<7:0>/DIVR<7:0>								xxxx xxxx
FF8D _H	T11CNTM	—	—	T11CNTM<5:0>						0000 0000
FF8E _H	C1OFST	C1OFST<7:0>								1000 0111
FF8F _H	LVDC	LVDO	—	—	LVDEN	LVDS<3:0>				0000 0000
FF90 _H	FRAL	FRAL<7:0>								xxxx xxxx
FF91 _H	FRAH	FRAH<7:0>								xxxx xxxx
FF92 _H	ROMDL	ROMDL<7:0>								xxxx xxxx
FF93 _H	ROMDH	ROMDH<7:0>								xxxx xxxx
FF94 _H	ROMCL	—	—	—	—	FPEE	WREN	WR	—	0000 0000
FF95 _H	ROMCH	ROMCH<7:0>								0000 0000
FF96 _H	INTG	GIE	GIEL	—	—	SOFTIF	INTVEN0	INTV<1:0>		0000 0000
FF97 _H	INTP	IGP<7:0>								0000 0000
FF98 _H	INTC0	PEG1	PEG0	PEG2<1:0>		KMSK3	KMSK2	KMSK1	KMSK0	0000 0000
FF99 _H	T12CNTM	—	—	T12CNTM<5:0>						0000 0000
FF9A _H	INTE0	PIE1	PIE0	T11PIE	T13IE	T12IE	T11IE	T8NIE	KIE	0000 0000
FF9B _H	INTF0	PIF1	PIF0	T11PIF	T13IF	T12IF	T11IF	T8NIF	KIF	0000 0000
FF9C _H	INTE1	LVDIE	T12PIE	ACP5IE	ACP4IE	ACP3IE	ACP2IE	ACP1IE	ADIE	0000 0000
FF9D _H	INTF1	LVDIF	T12PIF	ACP5IF	ACP4IF	ACP3IF	ACP2IF	ACP1IF	ADIF	0000 0000
FF9E _H	INTE2	T13PIE	I2CIE	C5FT1IE	C4FT1IE	C3FT1IE	C2FT1IE	RXIE	TXIE	0000 0000
FF9F _H	INTF2	T13PIF	I2CIF	C5FT1IF	C4FT1IF	C3FT1IF	C2FT1IF	RXIF	TXIF	0000 0000
FFA0 _H	INTE3	C5FT2IE	C4FT2I E	C3FT2IE	C2FT2IE	—	PIE4	PIE3	PIE2	0000 0000
FFA1 _H	INTF3	C5FT2IF	C4FT2I F	C3FT2IF	C2FT2IF	—	PIF4	PIF3	PIF2	0000 0000
FFA2 _H	C2OFST	C2OFST<7:0>								1000 0111
FFA3 _H	C3OFST	C3OFST<7:0>								1000 0111

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FFA4 _H	C4OFST	C4OFST<7:0>								1000 0111
FFA5 _H	C5OFST	C5OFST<7:0>								1000 0111
FFA6 _H	PWRC	LPM	VRST<1:0>		N_RST1	N_TO	N_PD	N_POR	N_BOR	0111 1101
FFA7 _H	WDTC	—	—	—	—	WDTPRE	WDTPRS<2:0>			0000 1111
FFA8 _H	WKDC	WKDC <7:0>								1111 1111
FFA9 _H	PWEN	LPOSCF	CFGRS TF	MRSTF	PORLOST	BORFLT<1:0>		RCEN	SREN	0000 1011
FFAA _H	PA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	xxxx xxxx
FFAB _H	PAT	PAT7	PAT6	PAT5	PAT4	PAT3	PAT2	PAT1	PAT0	1111 1111
FFAC _H	PB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	xxxx xxxx
FFAD _H	PBT	PBT7	PBT6	PBT5	PBT4	PBT3	PBT2	PBT1	PBT0	1111 1111
FFAE _H	PC	—	—	—	—	—	—	PC1	PC0	xxxx xxxx
FFAF _H	PCT	—	—	—	—	—	—	PCT1	PCT0	0000 0011
FFB0 _H	PAPU	PAPU7	PAPU6	PAPU5	PAPU4	PAPU3	PAPU2	PAPU1	PAPU0	0000 0100
FFB1 _H	PBPU	PBPU7	PBPU6	PBPU5	PBPU4	PBPU3	PBPU2	PBPU1	PBPU0	1100 0000
FFB2 _H	PCPU	—	—	—	—	—	—	PCPU1	PCPU0	0000 0011
FFB3 _H	VRC3	CHOPENB	VREFS EL	FLTCLKS<1:0>		CHOPCLKS<2:0>			CHOP1E NB	1111 1011
FFB4 _H	PAOD	PAOD7	PAOD6	PAOD5	PAOD4	PAOD3	PAOD2	PAOD1	PAOD0	0000 0000
FFB5 _H	PBOD	PBOD7	PBOD6	PBOD5	PBOD4	PBOD3	PBOD2	PBOD1	PBOD0	0000 0000
FFB6 _H	PCOD	—	—	—	—	—	—	PCOD1	PCOD0	0000 0000
FFB7 _H	PAPD	PAPD7	PAPD6	PAPD5	PAPD4	PAPD3	PAPD2	PAPD1	PAPD0	0000 0000
FFB8 _H	PBPD	PBPD7	PBPD6	PBPD5	PBPD4	PBPD3	PBPD2	PBPD1	PBPD0	0000 0000
FFB9 _H	PCPD	—	—	—	—	—	—	PCPD1	PCPD0	0000 0000
FFBA _H	VRC2	ADHSEN	VRC5S<2:0>			VRC4S<2:0>			ADVCMH S	1000 0001
FFBB _H	T8N	T8N<7:0>								0000 0000
FFBC _H	T8NC	T8NEN	T8NCLK	T8NM	T8NEG	T8NPRE	T8NPRS<2:0>			0000 0000
FFBD _H	T11L	T11L<7:0>								0000 0000
FFBE _H	T11C	T11M1	T11POS<3:0>				T11EN	T11PR1S<1:0>		0000 0000
FFBF _H	T11PL	T11PL<7:0>								1111 1111
FFC0 _H	T11RL	T11RL<7:0>								0000 0000
FFC1 _H	T11PH	T11RH<3:0>				T11PH<3:0>				0000 1111
FFC2 _H	T11OC	PWM11UD	PWM1X TBS	T11TR	T11TS<1:0>		PWM1XS<2:0>			0000 0000
FFC3 _H	T12L	T12L<7:0>								0000 0000
FFC4 _H	T12C	T12M1	T12POS<3:0>				T12EN	T12PR1S<1:0>		0000 0000
FFC5 _H	T12PL	T12PL<7:0>								1111 1111
FFC6 _H	T12RL	T12RL<7:0>								0000 0000
FFC7 _H	T12PH	T12RH<3:0>				T12PH<3:0>				0000 1111

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FFC8 _H	T12OC	PWM2XUD	PWM2X TBS	T12TR	T12TS<1:0>		PWM2XS<2:0>			0000 0000
FFC9 _H	T13L	T13L<7:0>								0000 0000
FFCA _H	T13C	T13M1	T13POS<3:0>				T13EN	T13PR1S<1:0>		0000 0000
FFCB _H	T13PL	T13PL<7:0>								1111 1111
FFCC _H	T13RL	T13RL<7:0>								0000 0000
FFCD _H	T13PH	T13RH<3:0>				T13PH<3:0>				0000 1111
FFCE _H	T13OC	PWM3XUD	PWM3X TBS	T13TR	T13TS<1:0>		—	PWM31E N	PWM30E N	0000 0000
FFCF _H	PWM1C	PWM1ADE N	P1M1	PDD1PR<1:0>		PWM1ADS	—	PWM1M<1:0>		0000 0000
FFD0 _H	PWM2C	PWM2ADE N	P1M2	PDD2PR<1:0>		PWM2ADS	—	PWM2M<1:0>		0000 0000
FFD1 _H	PWM3C	PWM3ADE N	P1M3	PDD3PR<1:0>		PWM3ADS	—	PWM3M<1:0>		0000 0000
FFD2 _H	PDD1C	PRSEN1	PDD1C<6:0>							0000 0000
FFD3 _H	PDD2C	PRSEN2	PDD2C<6:0>							0000 0000
FFD4 _H	PDD3C	PRSEN3	PDD3C<6:0>							0000 0000
FFD5 _H	TE1AS	PWM1ASF	PWM1A S4	PWM1AS 3	PWM1AS 0	PWM1AS2	PWM1AS1	PSS1BD<1:0>		0000 0000
FFD6 _H	TE2AS	PWM2ASF	PWM2A S4	PWM2AS 3	PWM2AS 0	PWM2AS2	PWM2AS1	PSS2BD<1:0>		0000 0000
FFD7 _H	TE3AS	PWM3ASF	PWM3A S4	PWM3AS 3	PWM3AS 0	PWM3AS2	PWM3AS1	PSS3BD<1:0>		0000 0000
FFD8 _H	TMRADC	TMRADC<7:0>								0000 0000
FFD9 _H	T13CNTM	—	—	T13CNTM<5:0>						0000 0000
FFDA _H	ADCRL	ADCRL<7:0>/ ADCRL<3:0>								xxxx xxxx
FFDB _H	ADCRH	ADCRH<3:0>/ ADCRH<7:0>								xxxx xxxx
FFDC _H	ADCCL	ADCCHS<3:0>				SMPON	SMPS	ADTRG	ADEN	1111 0100
FFDD _H	ADCCH	ADFM	ADCKS<2:0>			ADST<1:0>		ADVREFS<1:0>		0100 1000
FFDE _H	ANSL	—	ANSL6	ANSL5	ANSL4	ANSL3	ANSL2	ANSL1	ANSL0	0000 0000
FFDF _H	ANSH	—	ANSH6	ANSH5	ANSH4	ANSH3	ANSH2	ANSH1	ANSH0	0000 0000
FFE0 _H	RXB	RXB<7:0>								0000 0000
FFE1 _H	RXC	RXEN	RXM	—	—	—	OERR	FERR	RXR8	0000 000x
FFE2 _H	TXB	TXB<7:0>								0000 0000
FFE3 _H	TXC	TXEN	TXM	BRGH	—	—	—	TRMT	TXR8	0000 0010
FFE4 _H	BRR	BRR<7:0>								0000 0000
FFE5 _H	T11CAPC	CAP1S<1:0>		T11CAP<1:0>		CAP1ACP4	CAP1ACP 3	CAP1ACP 2	CAP1AC P1	0000 0000
FFE6 _H	T11H	—	—	—	—	T11H<3:0>				0000 0000
FFE7 _H	T12H	—	—	—	—	T12H<3:0>				0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FFE8 _H	T13H	—	—	—	—	T13H<3:0>				0000 0000
FFE9 _H	T11CH	T11M2	T11SYN	T11CKS	PRS1	T11PR2S<3:0>				0000 0000
FFEA _H	T12CH	T12M2	T12SYN	T12CKS	PRS2	T12PR2S<3:0>				0000 0000
FFEB _H	T13CH	T13M2	T13SYN	T13CKS	PRS3	T13PR2S<3:0>				0000 0000
FFEC _H	PPGCH	C5PS<1:0>		C4PS<1:0>		C3PS<1:0>		C2PS<1:0>		0000 0000
FFED _H	T12CAPC	CAP2S<1:0>		T12CAP<1:0>		CAP2ACP4	CAP2ACP 3	CAP2ACP 2	CAP2AC P1	0000 0000
FFEE _H	T13CAPC	CAP3S<1:0>		T13CAP<1:0>		CAP3ACP4	CAP3ACP 3	CAP3ACP 2	CAP3AC P1	0000 0000
FFEF _H	I2CX16	—	—	—	I2CX16<4:0>					0000 0000
FFF0 _H	I2CC	I2CTE	I2CPU	I2COD	I2CTAS	I2CANAE	I2CCSE	I2CRST	I2CEN	0000 0000
FFF1 _H	I2CSA	I2CSADR<6:0>							I2CRW	0000 0000
FFF2 _H	I2CTB	I2CTB<7:0>								0000 0000
FFF3 _H	I2CRB	I2CRB<7:0>								0000 0000
FFF4 _H	I2CIEC	—	I2CNAI E	I2CROIE	I2CTEIE	I2CRBIE	I2CTBIE	I2CSPIE	I2CSRIE	0000 0000
FFF5 _H	I2CIFC	—	I2CNAIF	I2CROIF	I2CTEIF	I2CRBIF	I2CTBIF	I2CSPIF	I2CSRIF	1000 0100
FFF6 _H	ACPC1	COUTEN	C1OUT	C1PPG	HYS1EN	CM1DLY<1:0>		C1INV	C1EN	0000 0000
FFF7 _H	ACPC2	C2PPG	C2OUT	—	C2NM	C2BUFEN	HYS2EN	C2INV	C2EN	0000 0000
FFF8 _H	ACPC3	C3PPG	C3OUT	—	C3NM	C3BUFEN	HYS3EN	C3INV	C3EN	0000 0000
FFF9 _H	ACPC4	C4PPG	C4OUT	—	C4NM	C4BUFEN	HYS4EN	C4INV	C4EN	0000 0000
FFFA _H	ACPC5	C5PPG	C5OUT	—	C5NM	C5BUFEN	HYS5EN	C5INV	C5EN	0000 0000
FFFB _H	VRC1	VREFEN	VRC2S<2:0>			VRC1S<2:0>			VOUTEN	0000 0000
FFFC _H	PPGC	PPGADS	—	—	FT2CLR	PPGADEN	PPGINV	T12PPG	PPGEN	0000 0000
FFFD _H	CMFT1	CMFT1<7:0>								0000 0000
FFFE _H	OPAC	OPAOFFSET<5:0>						OPAPS<1:0>		0000 0000
FFFF _H	CMFT2	CMFT2<7:0>								0000 0000

第 11 章 RF收发器—工作模式控制

RF 收发器各工作模式之间的切换控制如下图所示：

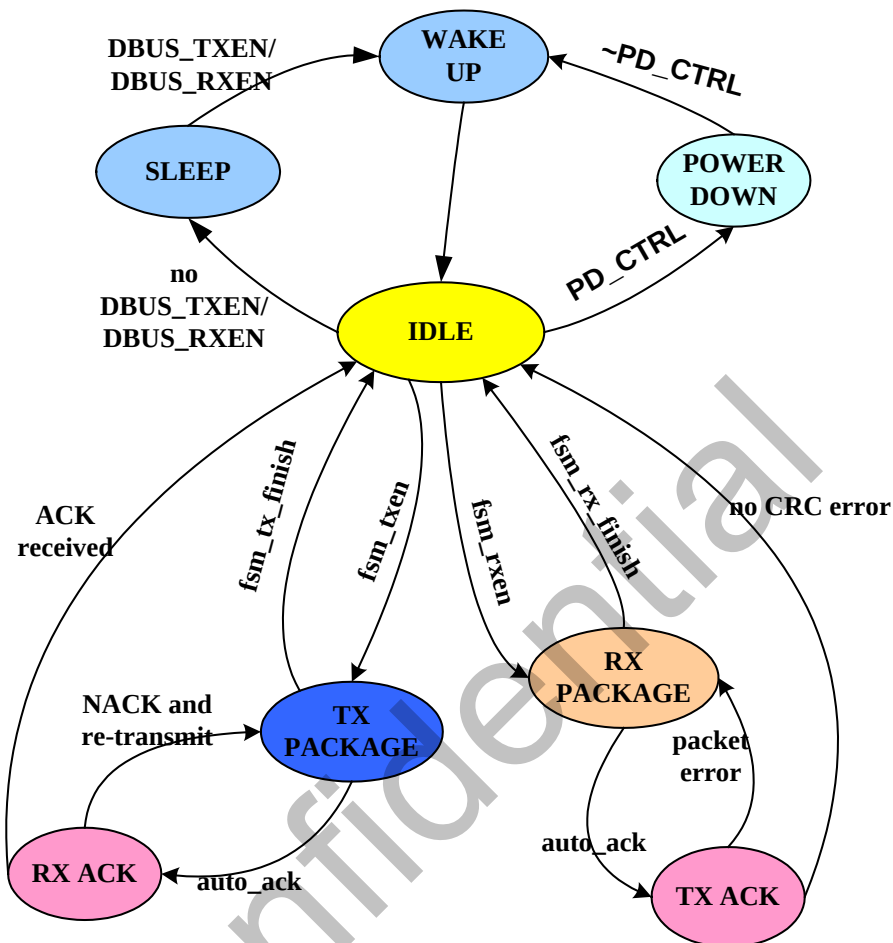


图 11-1 RF 收发器工作模式控制示意图

11.1 POWER DOWN模式

在此模式下除了低功耗数字 LDO 电源工作外，所有模拟模块关闭，寄存器状态保持并可读写（但 FIFO 不可操作，中断标志不可清），RF 收发器整体功耗约为 1.5uA。

设置寄存器 PD_CTRL（寄存器 MISC0 的 Bit15）为高可以进入 POWER DOWN 模式，如果设置为低则退出 POWER DOWN 模式（引脚 CE 需保持为高电平）。RF 收发器从 POWER DOWN 模式退出进入 IDLE 模式后若无收发要求将自动进入 SLEEP 模式。

11.2 SLEEP模式

在此模式下低功耗数字 LDO 电源与晶体振荡器工作，但是晶体振荡器的缓冲器未使能，片内数字电路无时钟，寄存器状态保存并可读写（但 FIFO 不可操作，中断标志不可清），使用 12MHz 晶体振荡器时，RF 收发器整体功耗约为 15uA。

当 RF 收发器没有收发要求关闭 DBUS_TXEN（寄存器 TRCTL 的 Bit8）/DBUS_RXEN（寄

寄存器 TRCTL 的 Bit7) 时, 自动从 IDLE 模式进入 SLEEP 模式, 当有收发请求时开启 DBUS_TXEN/DBUS_RXEN, RF 收发器从 SLEEP 模式恢复至 IDLE 模式后进入 TX/RX 工作模式。

11.3 IDLE模式

在此模式下数字 LDO 电源工作在正常模式, 晶体振荡器工作, 晶体振荡器的缓冲器使能, 片内数字电路有系统时钟, 但是 PLL 电路和收发器未工作, 使用 12MHz 晶体振荡器时, RF 收发器整体功耗小于 2mA。

RF 收发器收发完成后自动从 TX/RX 模式进入 IDLE 模式。

11.4 TX模式

当使能 RF 收发器 DBUS_TXEN 并且发送 FIFO 处于有效状态后, RF 收发器进入 TX 模式。在发送完成之后, RF 收发器进入 IDLE 模式, 关闭 DBUS_TXEN 后, RF 收发器进入 SLEEP 模式。

11.5 RX模式

当使能 RF 收发器 DBUS_RXEN 并且接收 FIFO 处于有效状态后, RF 收发器进入 RX 模式。若 FIFO 为占用状态不满足接收条件时, RF 收发器进入 IDLE 模式, 关闭 DBUS_RXEN 后, RF 收发器进入 SLEEP 模式。

注: FIFO 处于有效状态指 FIFO 配置寄存器 FIFO0CTRL/FIFO1CTRL 中所填 PIPE (PRX_FIFO_n_PIPE), 与当前收取帧的 PIPE 地址匹配且 PRX_FIFO_n_OCPY = '1'。

第 12 章 RF收发器—帧结构

12.1 PTX发送数据帧结构

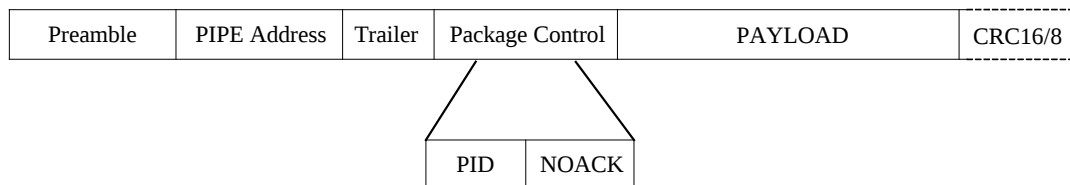


图 12-1 PTX 发送数据帧结构示意图

- **Preamble**
支持 2,4,6...16bytes, 长度可通过寄存器 `PREAMBLE_LEN` (`PKTCTRL` 寄存器的 Bit15-Bit13) 配置。
- **PIPE Address(Syncword)**
支持 16/32/48bits, 长度可通过寄存器 `SYNCWORD_LEN` (`PKTCTRL` 寄存器的 Bit12-Bit11) 配置。支持 4 路数据通道, `PIPE Address` 可通过寄存器 0x40~0x47 配置。
- **Trailer**
支持 4~18bits, 长度可通过 `TRAILER_LEN` (`PKTCTRL` 寄存器的 Bit10-Bit8) 配置。
- **PID**
PID 长度为 2bits, 发送时由硬件自动产生。
PTX 每发送一次新的数据包 PID 将自动加‘1’。
PRX 针对当前接收的 PIPE 地址, 依据 PID 与 CRC 值确定当前包为新接收包或重传包 (重传包会被丢弃)。
PTX 若重发超时, 在下次重新发送时 PID 不累加。
- **NOACK**
此指示位用于当 ACK 功能使能时, PTX 告知 PRX 当前包无需 ACK 的特例情况。可以通过 `PTX_FIFO_NOACK` (`FIFOCTRL` 寄存器的 Bit4) 进行设置。
- **PAYLOAD**
硬件链路控制方式下, 每级 FIFO 最大支持 63bytes 的 PAYLOAD, FIFO 的第一个 byte 代表 PAYLOAD 的长度。
软件链路控制方式下, PAYLOAD 的长度由主控 MCU 芯片决定。
- **CRC**
硬件链路控制方式下, 支持 CRC16 与 CRC8 两种模式, 可通过 `CRC_SEL` (`MISC1` 寄存器的 Bit14) 配置。
CRC16 生成多项式为: $x^{16}+x^{12}+x^5+1$

CRC8 生成多项式为： x^8+x^2+x+1

软件链路控制方式下不支持硬件 CRC 功能。

12.2 PRX发送ACK帧结构

PRX 发送的 ACK 帧结构示意图如下所示：

Preamble	PIPE Address	Trailer	PAYLOAD	CRC16/8
----------	--------------	---------	---------	---------

图 12-2 PRX 发送 ACK 帧结构示意图

若 ACK 带 ACK PAYLOAD 功能未使能，则 PRX 只返回 Preamble 与 PIPE Address 两部分。

若 ACK 带 ACK PAYLOAD 功能使能，则 PRX 返回 Preamble、PIPE Address、Trailer、PAYLOAD 与 CRC。

Preamble、PIPE Address、Trailer、PAYLOAD 与 CRC 的配置方式见 3.1 节 PTX 发送数据帧结构内的描述。

第 13 章 RF收发器—链路控制方式

RF 收发器支持硬件链路控制通信与软件链路控制通信方式，可通过寄存器 `PACK_LENGTH_EN`（`MISC1` 寄存器的 `Bit12`）进行配置。详细收发流程与操作请参考《应用笔记_HW2000_User_Guide》数据包收发章节的内容。

13.1 硬件链路控制方式

当设置 `PACK_LENGTH_EN` 为‘1’时，RF 收发器处于硬件链路控制通信模式。

此模式支持两级收发 FIFO，每级 FIFO 最大支持 63bytes PAYLOAD，并具有 PAYLOAD 的自动硬件 CRC 校验功能。支持 ACK 功能，ACK 帧是否带 ACK PAYLOAD 功能可配。

硬件链路控制方式下所填 FIFO 的第一个 byte 代表该级 FIFO 中的 PAYLOAD 的长度(需大于 0)，PRX 可依据存放收取 PAYLOAD 的 FIFO 中的第一个 byte 值确定所需读取 PAYLOAD 的长度。

13.2 软件链路控制方式

当设置 `PACK_LENGTH_EN` 为‘0’时，RF 收发器处于软件链路控制通信模式。

此模式只支持 FIFO0 一级 FIFO，不支持 ACK 与硬件 CRC 校验功能。

软件链路模式适用于需要发送较长 PAYLOAD 长度(>63 bytes)的场合，主控 MCU 芯片需依据 FIFO 的半空与半满标志配合收发流程。

通过配置 `FW_HW_TERM_EN` 控制位（`MISC1` 寄存器的 `Bit11`），可以选择不同的 PTX 停止发送条件：

`FW_HW_TERM_EN` = ‘1’时，FIFO0 的读写指针相同时状态机自动停止发送数据；

`FW_HW_TERM_EN` = ‘0’时，PTX 循环发送 FIFO0 内部的数据，由主控 MCU 芯片关闭 `DBUS_TXEN` 来决定何时停止发送数据，该方式可方便用于测试 PTX 连续发送模式下的性能指标。

第 14 章 RF收发器—多PIPE逻辑通道

RF 收发器支持 4 个数据 PIPE 逻辑通道, 即 PIPE0~PIPE3, 每个 PIPE 都有各自的物理地址, 默认 PIPE0/PIPE1 使能。各 PIPE 地址配置详见寄存器 0x40~0x47 描述。各 PIPE 使能, ACK 功能与 ACK 带 PAYLOAD 功能使能详见 PIPECTRL 寄存器描述。

以使用 PIPE0 逻辑通道通讯为例, PIPECTRL 寄存器配置如下:

- 若不使能 ACK 功能
P0_EN = '1'; P0_ACK_EN = '0'; P0_ACKPAYLOAD_EN = '0'。
- 若使能 ACK 不带 PAYLOAD 功能
P0_EN = '1'; P0_ACK_EN = '1'; P0_ACKPAYLOAD_EN = '0'。
- 若使能 ACK 带 PAYLOAD 功能
P0_EN = '1'; P0_ACK_EN = '1'; P0_ACKPAYLOAD_EN = '1'。

PRX 可支持与 4 个不同 PIPE 地址的 PTX 通讯。为确保 PRX 能回复 ACK 至正确的 PTX, PRX 在收到数据帧之后会保存所接收的 PIPE 地址并在回复 ACK 时用作 PIPE 发送地址。

图 14-1 所示为 4 路 PIPE 通讯示意图, 4 路 PIPE 都具有独立的 PIPE 地址。PRX 可分时进行不同 PIPE 的相关通讯, 但在一路 PIPE 完整收发流程完成之前, PRX 不会与另一路 PIPE 地址的 PTX 通讯。当多路 PTX 与 1 路 PRX 通讯时, 设置各 PTX 的 AUTO_RX_ACK_TIME 寄存器值 (MISC2 寄存器的 Bit7-Bit0) 可以有效避免各个 PIPE 之间的干扰。

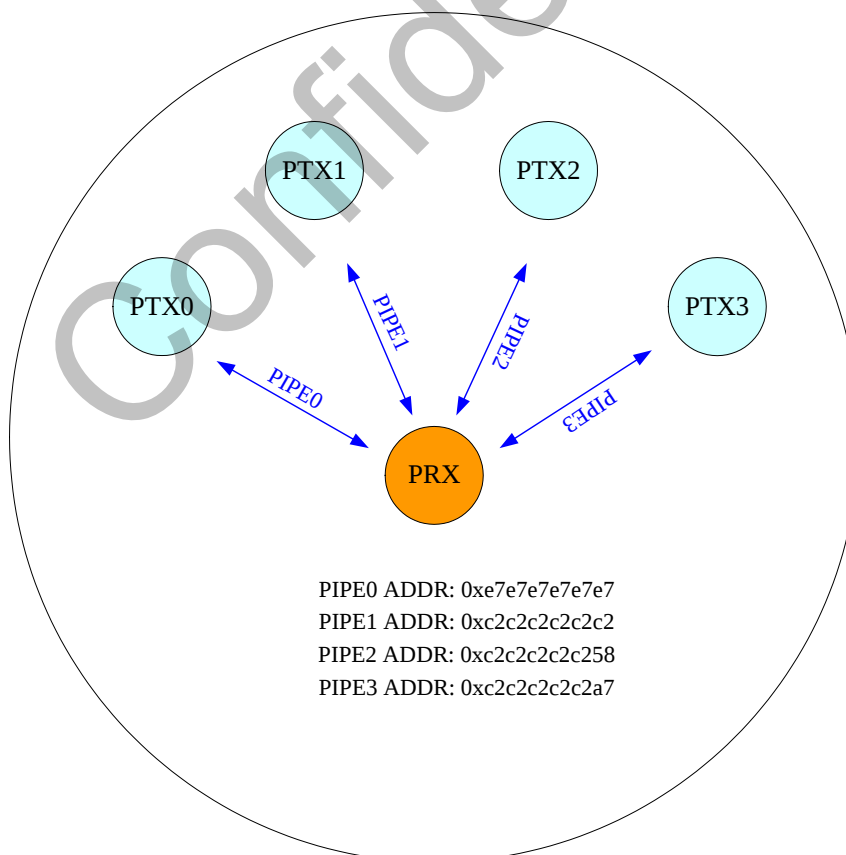


图 14-1 4 路 PIPE 通讯示意图

第 15 章 RF收发器—自动响应ACK与自动重传ART

15.1 ACK不带ACK PAYLOAD

- 当 PTX 与 PRX 同时使能当前通信 PIPE 的 ACK 功能后 (PIPECTRL 寄存器中的 Pn_EN = '1' 并且 Pn_ACK_EN = '1'), PRX 在接收 CRC 完成后由 RX 模式自动切换为 TX 模式发送 ACK 帧, PTX 在发送 CRC 完成后由 TX 模式自动切换为 RX 模式等待接收 ACK 帧。PTX 在接收 ACK 完成、PRX 在发送 ACK 完成后置起相应的 FIFO 中断标志位 (详见图 16-3)。
- PTX 如果在 AUTO_RX_ACK_TIME 时间内没有成功接收到 PRX 发送的 ACK 信号, PTX 将自动重传上一帧数据包。如重传次数超过设定次数 RE_TX_TIMES (MISC0 寄存器的 Bit11-Bit8), INT 寄存器中的 INTn 中断标志位与 FIFO 发送指示位 PTX_FIFO_n_FAIL (FIFO_nCTRL 寄存器的 Bit15) 将同时置'1'指示发送失败 (详见图 16-4 至图 16-6)。
- PRX 在接收 CRC 完成后若出现 CRC 错误将不切换 RX 模式而等待自动重收 (详见图 16-7)。

在 ACK 功能使能时, 通过配置 PTX_FIFO_n_NOACK 控制位可告知 PRX 当前发送帧无需自动 ACK。

15.2 ACK带ACK PAYLOAD

- 当 PTX 与 PRX 同时使能当前通信 PIPE 的 ACK 带 ACK PAYLOAD 功能后 (Pn_EN = '1', Pn_ACK_EN = '1' 并且 Pn_ACKPAYLOAD_EN = '1'), PRX 在发送 ACK 的过程中自动从满足条件的 ACK FIFO 中取出 ACK PAYLOAD 进行发送。ACK FIFO 的第一个 byte 代表 ACK PAYLOAD 的长度, 填写值需大于 0。PTX 在接收到 ACK PAYLOAD 后将数据填入满足条件的 ACK FIFO 中, 并置起该 ACK FIFO 的相应状态指示位 (INT 寄存器中的 ACKINTn、FIFO_n_ACK_POS 和 ACKINTn_W_ACKPAY, ACKFIFO_nCTRL 寄存器中的 PTX_ACKFIFO_n_PIPE)。ACK FIFO 的操作流程与 DATA FIFO 的流程基本一致。
- 若 PRX 无满足条件的 ACK FIFO, 在发送 ACK 帧时将自动忽略发送 ACK PAYLOAD 与 CRC 环节, PTX 在接收 ACK 帧时会检测到长度为 0 的 ACK PAYLOAD 而自动忽略接收 CRC 环节。
- PTX 若检测到收取的 ACK PAYLOAD 有 CRC 错误, 将由 RX 模式转入 TX 模式进行重发。如重传次数超过设定次数 RE_TX_TIMES, PTX_FIFO_n_FAIL 将置'1'指示发送失败。

注: 满足条件的 ACK FIFO 指 ACK FIFO 配置寄存器 ACKFIFO0CTRL/ACKFIFO1CTRL 中所填 PIPE (PRX_ACKFIFO_n_PIPE), 与当前收取帧的 PIPE 地址匹配且 PRX_ACKFIFO_n_OCPY = '1'。

第 16 章 RF收发器—数据与控制接口

16.1 FIFO

RF 收发器支持两级 DATA FIFO(每级 64bytes)与两级 ACK FIFO(每级 32bytes)。DATA FIFO 用于存放收发的 PAYLOAD 数据,其访问地址为 0x32 与 0x33, ACK FIFO 用于存放收发的 ACK PAYLOAD 数据,其访问地址为 0x34 与 0x35。

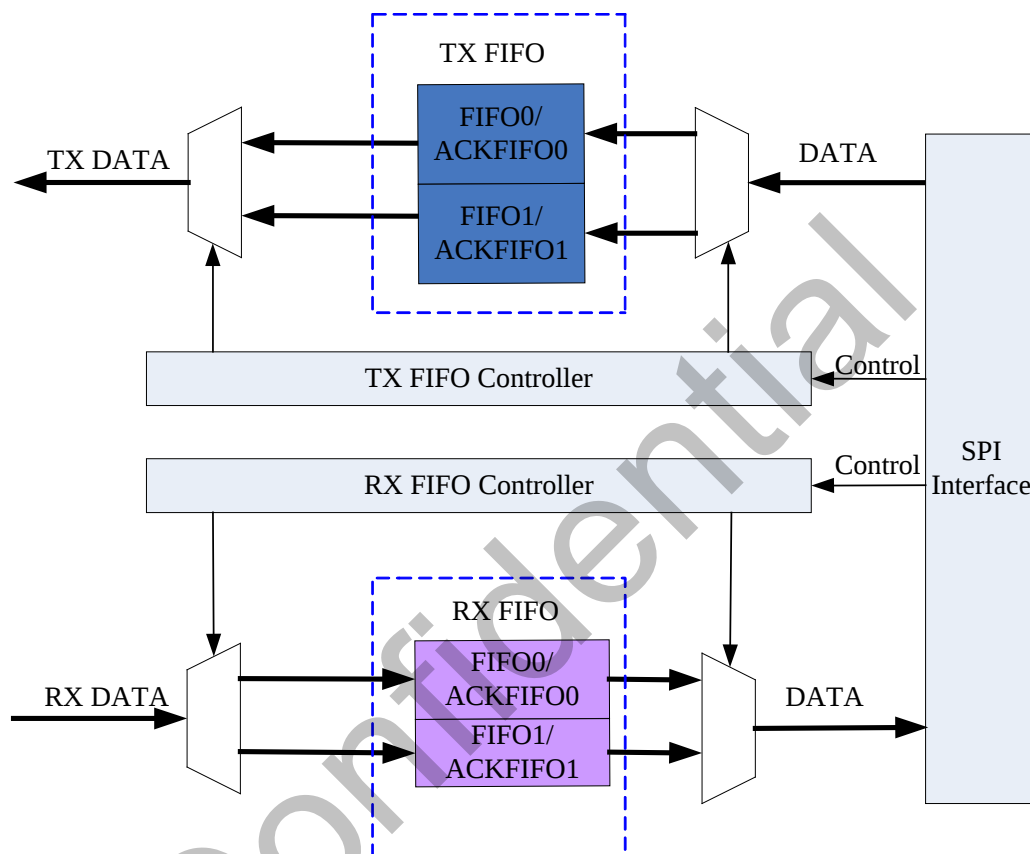


图 16-1 FIFO 控制示意图

对于 PTX,在发送 PAYLOAD 前可以通过 SPI 向 DATA FIFO 内填写数据,在发送过程中 DATA FIFO 的读取权限交于内部状态机,在发送过程中禁止 SPI 接口读 DATA FIFO 操作;

对于 PRX,在接收 PAYLOAD 过程中 DATA FIFO 的写入权限交于内部状态机,在此过程中禁止 SPI 接口写 DATA FIFO 操作。

类似的,若使能 ACK 带 PAYLOAD 功能,对于 PRX,在 ACK PAYLOAD 发送前可以通过 SPI 向 ACK FIFO 内填写数据,在发送过程中 ACK FIFO 的读取权限交于内部状态机,在发送过程中禁止 SPI 接口读 ACK FIFO 操作;

对于 PTX,在接收 ACK PAYLOAD 过程中 ACK FIFO 的写入权限交于内部状态机,在此过程中禁止 SPI 接口写 ACK FIFO 操作。

16.2 中断

16.2.1 硬件链路控制中断

- **ACK 不使能中断**

在 ACK 不使能情况下，PTX 在发送完成后置起相应的发送 FIFO 中断标志位 INT_n ，同样 PRX 在接收完成后置起相应的接收 FIFO 中断标志位（如图 16-2 所示）。

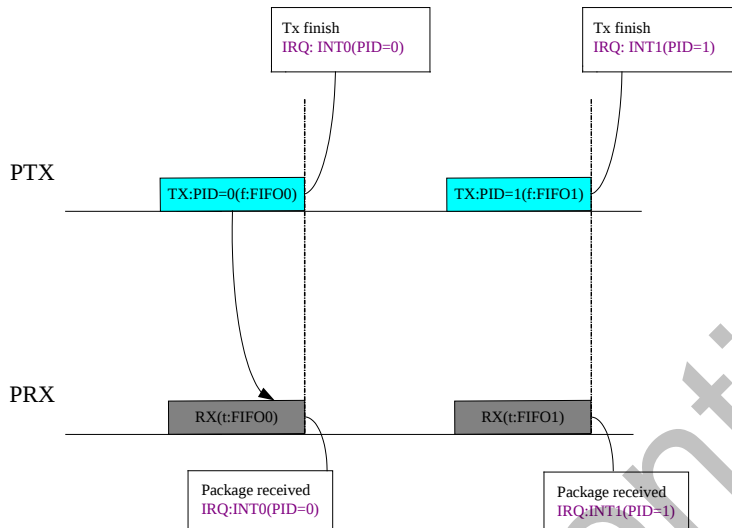


图 16-2 ACK 不使能情况中断示意图

- **ACK 使能不帶 ACK PAYLOAD 中断**

在 ACK 使能不帶 ACK PAYLOAD 情况下，若 PTX 发送来自 $FIFO_n$ 的 PAYLOAD，在接收 ACK 成功后，对应的中断标志位 INT_n 将置‘1’。

若 PRX 在成功接收后将 PAYLOAD 填入 $FIFO_n$ ，PRX 在返回 ACK 完成后对应的中断标志位 INT_n 将置‘1’。（如图 16-3 所示）。

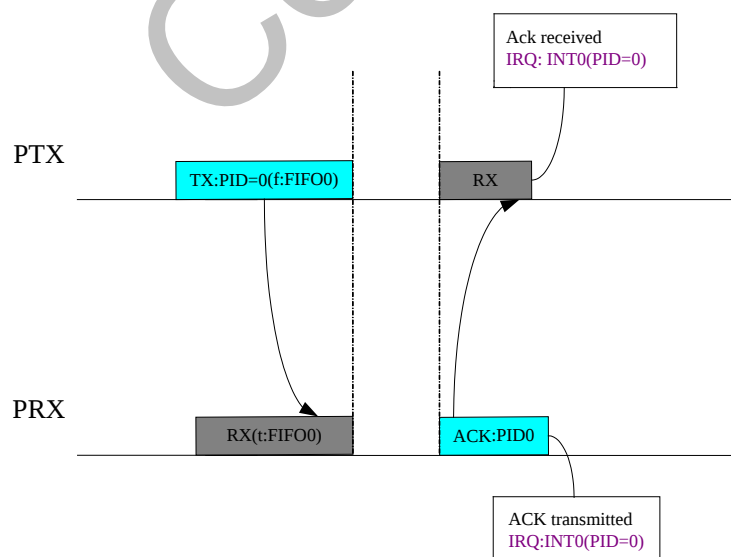


图 16-3 ACK 使能不帶 ACK PAYLOAD 中断示意图

图 16-4 至图 16-6 所示为可能出现的收发不成功情况，PTX 在发送完成后切换为接收 ACK 状态，若在等待 ACK 时间内（`AUTO_RX_ACK_TIME`）没有收到有效 ACK 信号，将再次切换为自动重传。

PRX 在接收成功后会判断收取的 PID，若收取的 PID 与 CRC 与前一次相同，将视为重收包，不再出中断（只返回 ACK）。

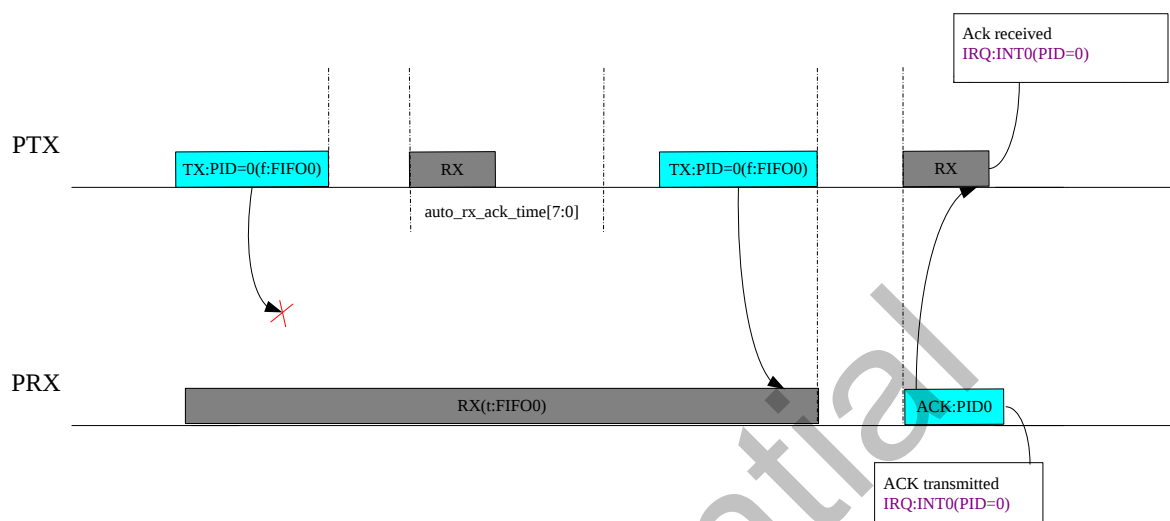


图 16-4 PTX 自动重传情况 1 中断示意图

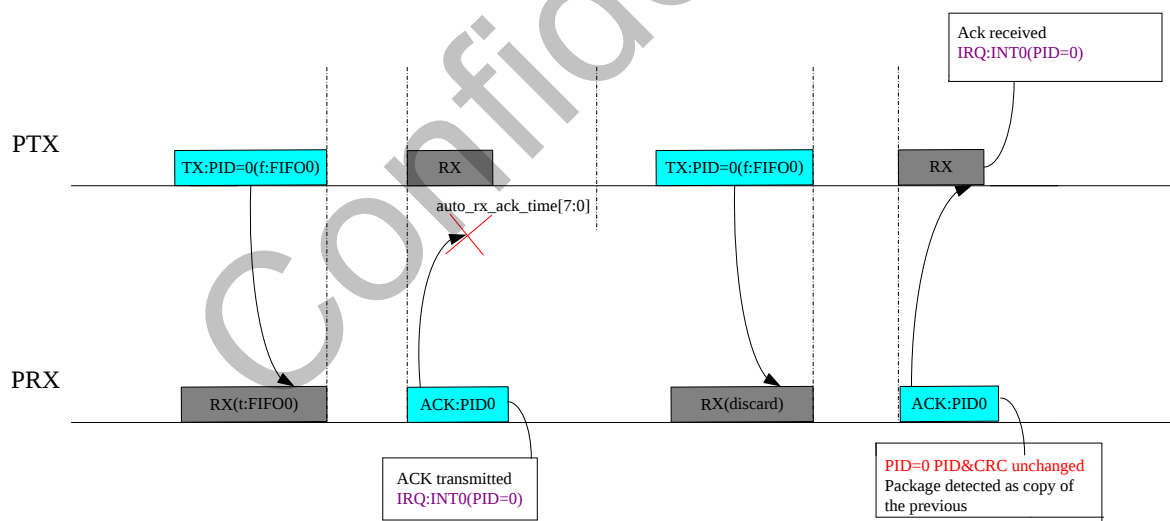


图 16-5 PTX 自动重传情况 2 中断示意图

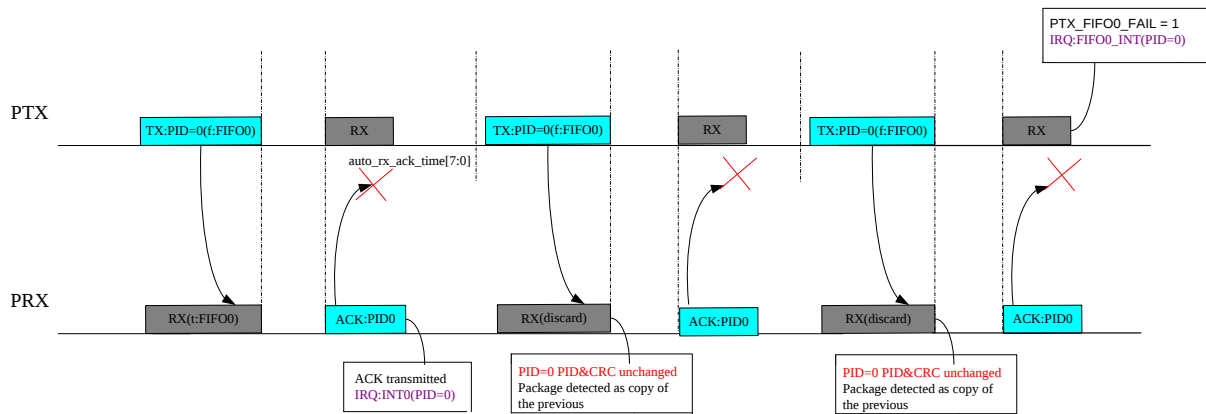


图 16-6 PTX 自动重传情况 3 中断示意图(重发超时, 重发次数为 2)

注 1: 自动重传次数设置 RE TX TIMES 需大于‘1’。

注 2: 若 PTX 在 RE_TX_TIMES 次数内未接收到 ACK, PTX 在置起中断 INTn 的同时 PTX_FIFO_n FAIL 将置‘1’。

注 3: 若 PTX 重传超时, 在发送下一帧时 PID 较上一次保持不变。

注 4: 重收弃包功能只在 ACK 使能的情况下有效。

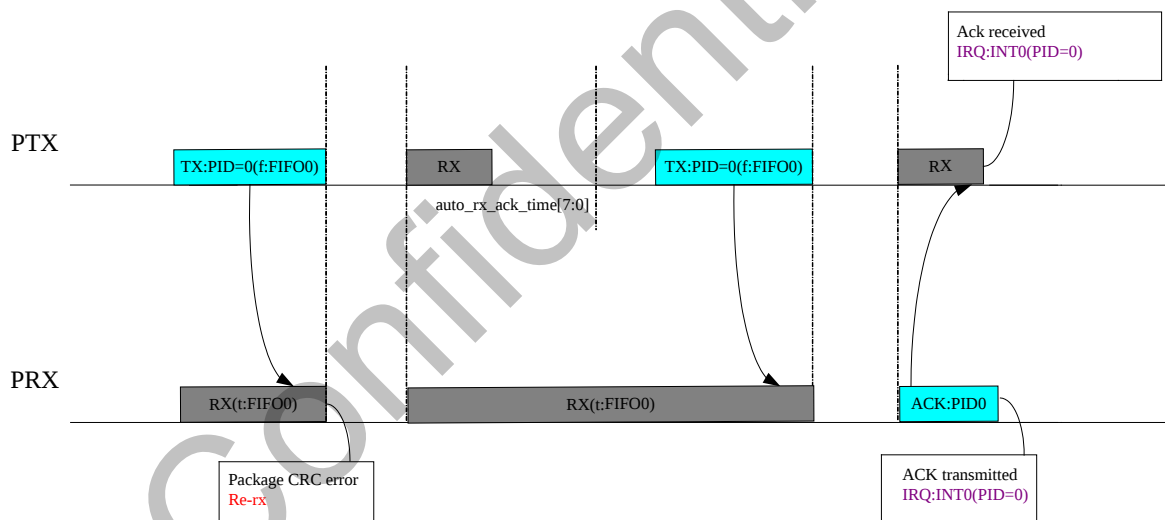


图 16-7 PRX 自动重收中断示意图

图 16-7 所示为 PRX 自动重收的情况，PRX 在接收到数据包之后若检测 CRC 有误将不返回 ACK 而切换至自动重收，直至收到正确的数据包并返回 ACK 之后置起中断标志。PTX 在 AUTO RX ACK TIME 时间内无法接收有效 ACK 将自动重传。

- **ACK 使能帶 ACK PAYLOAD 中斷**

在 ACK 帶 ACK PAYLOAD 情況下，若 PTX 從 FIFO_n 中發送 PAYLOAD 之後成功接收 ACK PAYLOAD 後填入 ACK FIFO_n，對應的中斷標誌位 INT_n 與 ACK INT_n 將置‘1’。

若 PRX 从 ACKFIFO_n 中返回 ACK PAYLOAD，在下次收到新包后（同一 PIPE PID 发生变化），对应的中断标志位 ACK INT_n 将置‘1’（如图 16-8 所示）。

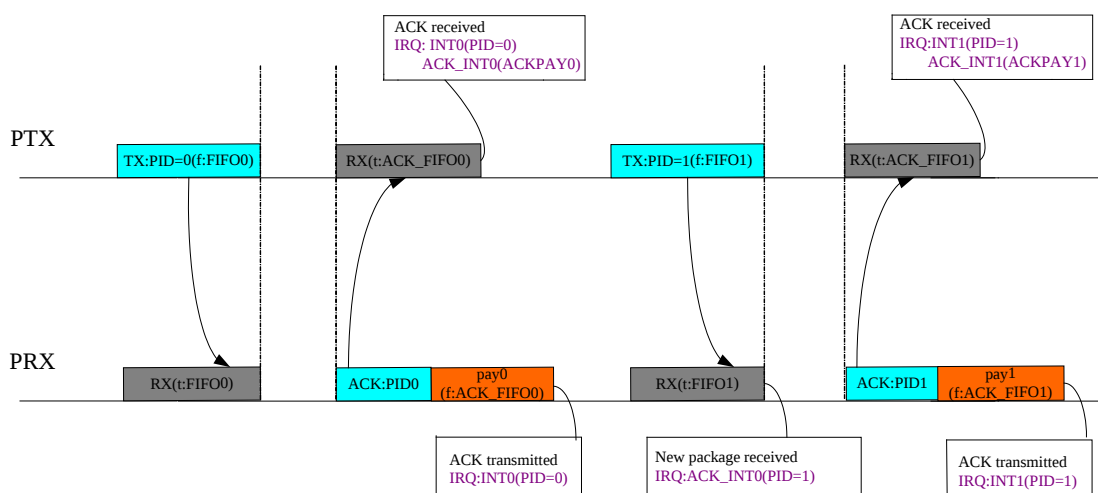


图 16-8 ACK 带 ACK PAYLOAD 情况中断示意图

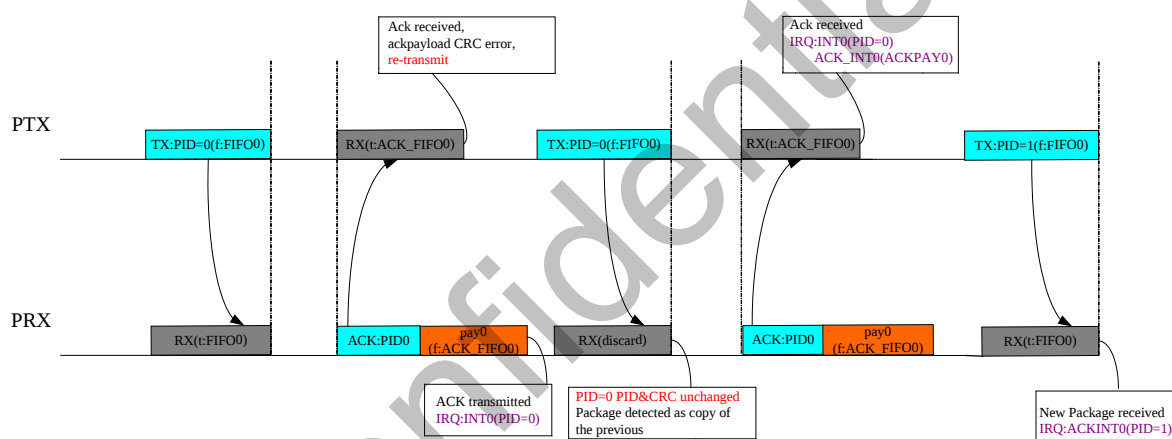


图 16-9 PTX 接收 ACK CRC ERROR 情况中断示意图

PTX 接收到 ACK PAYLOAD 之后若检测到 CRC 错误，将进行重发，不置起中断（如图 16-9 所示）。

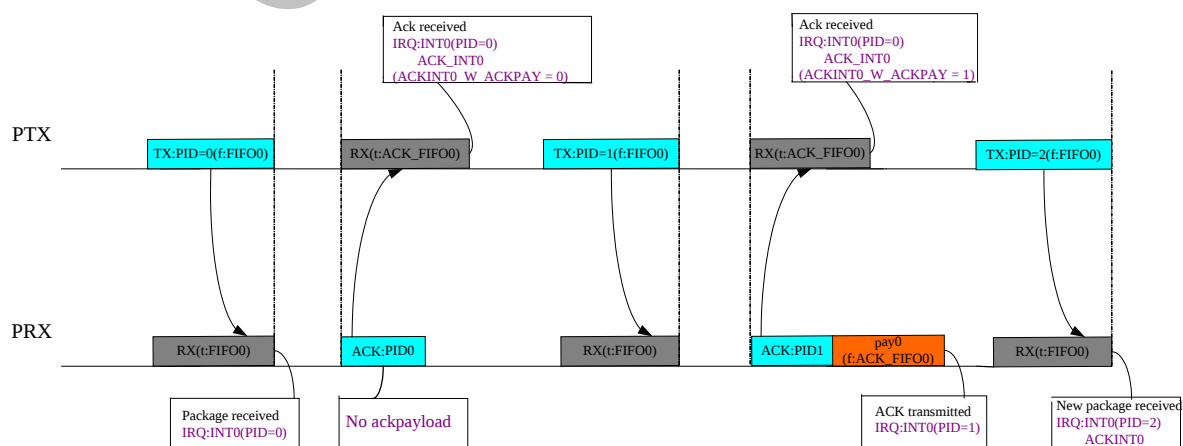


图 16-10 PRX 无满足条件 ACK PAYLOAD 发送情况中断示意图

PRX 若无满足条件的 ACK FIFO, 将忽略发送 ACK PAYLOAD, PTX 检测到长度为 0 的 ACK PAYLOAD, 置起 ACK_INT0 (假设 ACK FIFO0 满足接收状态) 的同时将 ACKINT0_W_ACKPAY 状态位置'0', 指示此次中断无 ACK PAYLOAD。PRX 在下一次即使接收到的 PID 发生变化也不置起 ACKINT0 中断 (如图 16-10 所示)。

16.2.2 软件链路控制中断

软件链路控制情况下 PTX 的 IRQ 引脚指示发送状态, 发送完成后 IRQ 电平翻转。

PRX 在接收到可相关的 PIPE 地址后置中断标志位 INTn, 可通过中断标志清零寄存器或 SPI 读取接收 FIFO 自动清相应的中断 INTn (如图 16-11 所示)。

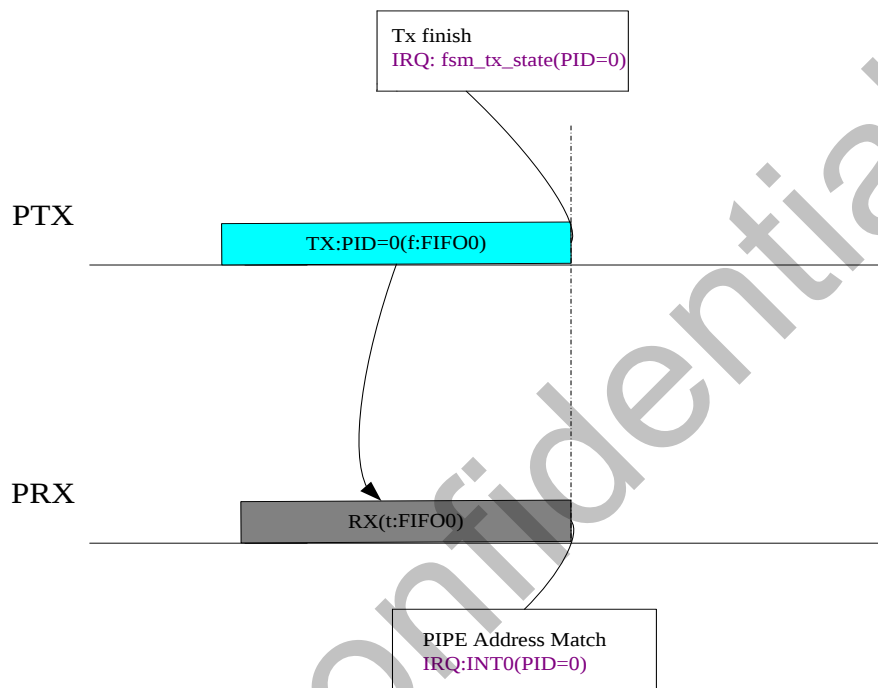


图 16-11 软件链路控制方式下中断示意图

16.3 SPI通信接口

RF 收发器支持 4 线 SPI 通信接口, 支持 SLEEP 模式下对寄存器的读写操作, 支持 FIFO 连读连写。

16.3.1 SPI帧格式

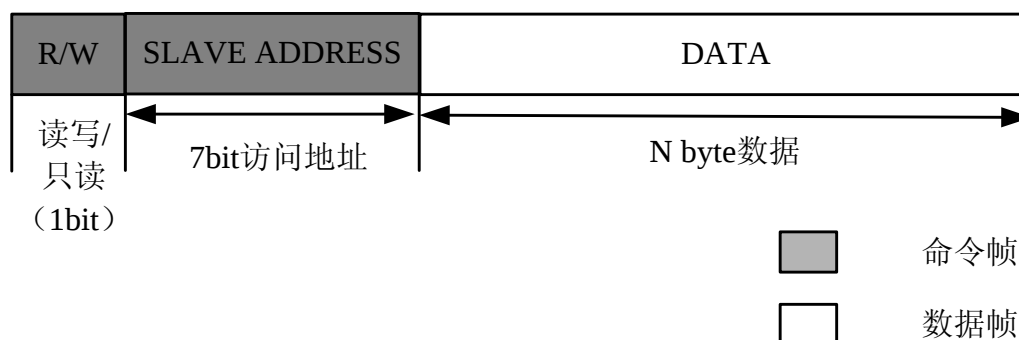


图 16-12 SPI 帧格式

其中 8bit 命令帧首位为读写控制位，‘0’为只读操作，‘1’为读写操作（读取某寄存器值的同时可以写入值），后 7 位为读写地址位。

SPI 数据帧按 SPI 接口访问对象不同有所区别，如果 SPI 访问内部寄存器则数据帧固定为 2bytes，如果 SPI 访问 FIFO（寄存器地址：0x32, 0x33, 0x34, 0x35），在非连续读写情况下为 1byte（内部 FIFO 数据宽度），在连续读写情况下数据长度由主设备访问长度决定。

数据格式为高位（MSB）在前，低位（LSB）在后。

16.3.2 寄存器访问时序

SPI 接口读写寄存器操作时序如图 16-13 与图 16-14 所示。

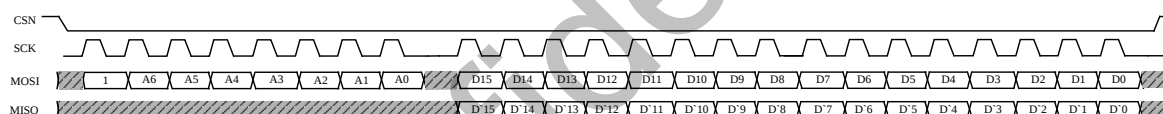


图 16-13 SPI 写寄存器时序

注：写寄存器时 MISO 送出的 D'x 为所访问寄存器的原始值。

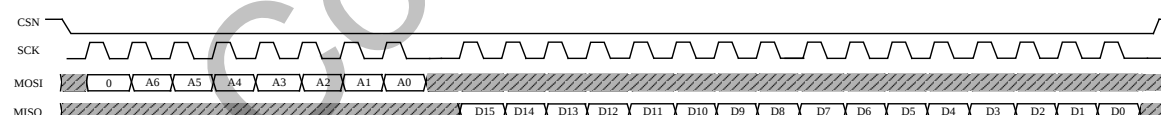


图 16-14 SPI 读寄存器时序

16.3.3 FIFO访问时序

FIFO 支持连续读写操作，最小单位为 1byte，SPI 接口读写 FIFO 操作时序如图 16-15 与图 16-16 所示。

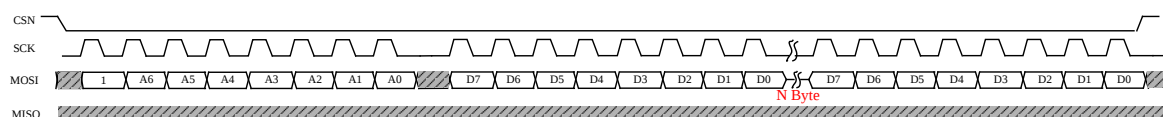


图 16-15 SPI 写 FIFO 时序

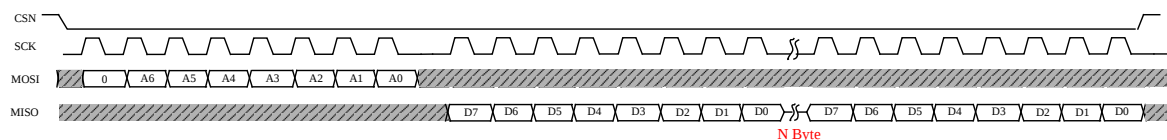


图 16-16 SPI 读 FIFO 时序

16. 3. 4 SPI时序参数

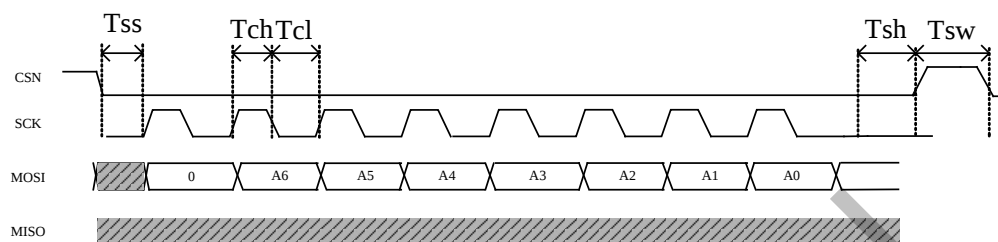


图 16-17 SPI 时序参数示意图

Symbol	Parameter	T(ns)
Tss	Select setup time	20
Tcl	Clock low time	62.5
Tch	Clock high time	62.5
Tsh	Select hold time	40
Tsw	Select high period	125

表 16-1 SPI 时序参数

第 17 章 RF收发器—其它功能与设置

17.1 RF收发器复位

RF 收发器共提供三个复位源，分别为上电 POR 复位、片选引脚 CE 复位、SFT_RST 软件复位。

上电 POR 复位、片选引脚 CE 复位为全芯片复位，软件复位只复位芯片内部各状态信号，内部寄存器状态保持。

需要注意的是，由于 MCU 复位唤醒时间比 RF 复位唤醒时间短，所以，MCU 复位唤醒后需要进行适当延时，再对 RF 收发器进行 SPI 操作。

17.2 频点设置

在数据收发时，收发两端的频点设置必须一致。可使用的频点范围是 2402MHz ~ 2483MHz，频点间隔为 1MHz，共 82 个可用频点。频点可以通过信道号寄存器 PLL_CH_NO 设置，最终发送或接收的频点值为 RF_FREQ_BASE + PLL_CH_NO(MHz)。

注：需在使能发送或接收之前完成频点设置。

17.3 自动频偏校正(AFC)

在无线收发器的两端，由于晶振、工作环境等因素的影响，使得收发两端的频率会有一定的偏差。RF 收发器在接收数据时提供了自动频偏校正的功能（AFC），寄存器 AFC_MCTRL（MISC2 寄存器的 Bit14）为 AFC 功能使能控制位。

17.4 软件频偏校正

除硬件自身提供的 AFC 功能之外，RF 收发器还给软件提供了频偏校正的接口。

寄存器 RF_FREQ_FRACTION（FOCCFG 寄存器的 Bit11-Bit0）用于填写频偏的补偿值，该寄存器具体设置的计算公式如下：

$$\text{RF_FREQ_FRACTION} = \text{round}(f_{\text{dev}} / (2048 * 10^6))$$
，频率补偿的精度约为 250Hz。

其中 f_{dev} = 目标频点 - 实际频点（Hz）

对于接收端，RF 收发器提供了硬件评估的频偏指示寄存器 FREQ_ESTIMATION（STATUS0 寄存器的 Bit9-Bit0，二进制补码），该寄存器的数据和实际频偏频率 f_{dev} 的对应关系如下：

当 250kbps 数据速率时： $f_{\text{dev}} = \text{FREQ_ESTIMATION} / (1024 * 10^6) (\text{Hz})$

当 1Mbps 数据速率时： $f_{\text{dev}} = \text{FREQ_ESTIMATION} / (256 * 10^6) (\text{Hz})$

用户可依据频偏指示寄存器 FREQ_ESTIMATION 的值推算 f_{dev} ，完成对频偏补偿寄存器 RF_FREQ_FRACTION 的配置。

17.5 前导码指示

数据包以“0101”序列作为整个数据包的前导，RF 收发器可以通过检测收到的连续“01”数据的个数作为数据包前导序列的指示，具体需要检测的“01”数据个数可以通过设置寄存器 PREAMBLE_NUM（FOCCFG 寄存器的 Bit15-Bit12）确定。如果 RF 收发器检测到有效的前导序列，寄存器 PQT（STATUS0 寄存器 Bit11）指示为高电平。

17.6 RSSI功能

在接收模式时，芯片会评估天线端接收到的信号能量的大小，该数值会保存在寄存器 RSSI 中。RSSI 的读数单位是 dBm，数据的格式为二进制补码形式的有符号数。推荐在数据包地址相关完成后(STATUS1 寄存器中的 PIPE_ADDR_MATCH 为 '1')读取 RSSI 的数值。RSSI 值与输入功率对应关系详见《应用笔记_HW2000_User_Guide》RSSI 章节的内容。

17.7 载波检测指示(Carrier Detect)功能

RF 收发器支持载波检测功能，即在接收模式时，RF 收发器会监控带内的接收信号能量，当接收信号能量大于设置的域值，并保持一定时间(>8us)后，RF 收发器会给出载波检测指示信号。

载波指示的能量域值可以通过 CDTH 寄存器设置，当输入信号能量超过 CD_TH1 设置，并且保持超过 8us 后，载波检测指示位 CD 会置高，如果信号能量降低并小于 CD_TH2 的设置，载波检测指示位将立刻复位。

CD_TH1 和 CD_TH2 设置时的具体单位为 dBm，数据格式为二进制补码形式的符号数。

CD_TH1 与 CD_TH2 的设置方法：

1. 在接收灵敏度点读取 RSSI 寄存器值；
2. CD_TH1 的设置值为 RSSI - 2dBm；
3. CD_TH2 的设置值为 RSSI - 5dBm。

推荐使用《应用笔记_HW2000_User_Guide》寄存器初始化设置章节给定的 CD 阈值。

17.8 FEC、CRC、SCRAMBLE功能

RF 收发器支持数据自动的 FEC 纠错码功能，码率 R 为 2/3。使用 FEC 可以纠正传输中的传输错误，可以提高系统在低信噪比环境下传输成功率，但 FEC 会增加冗余数据，增加数据包的传送时间。可以通过配置寄存器 FEC_TYPE (PKTCTRL 寄存器 Bit5-Bit4) 使能 FEC。

硬件链路控制模式下 CRC 算法由硬件实现，CRC 移位寄存器初始值可通过寄存器 CRC_INIT_DATA (MISC1 寄存器 Bit7-Bit0) 设置。

支持 CRC16 与 CRC8 两种模式，可通过 CRC_SEL 配置。

CRC16 生成多项式为： $x^{16}+x^{12}+x^5+1$

CRC8 生成多项式为： x^8+x^2+x+1

RF 收发器支持数据的扰码功能，以增强长'0'或长'1'类型数据的传输能力。可以通过寄存器 SCRAMBLE_ON (MISC1 寄存器 Bit13) 开启扰码功能，扰码种子可通过寄存器 SCRAMBLE_DATA (MISC0 寄存器 Bit6-Bit0) 设置。

扰码区域为 PAYLOAD-CRC。其基本数据流为：

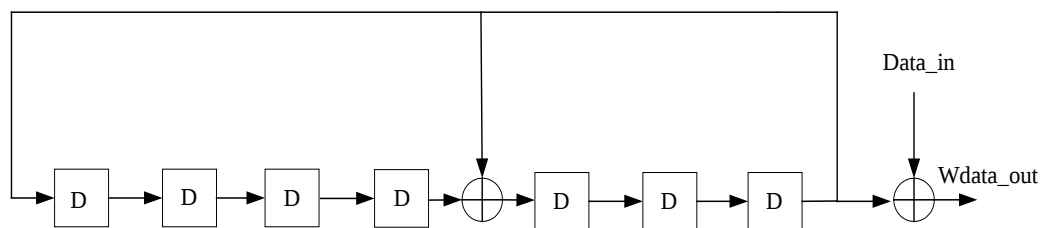


图 17-1 数据扰码生成器

Confidential

第 18 章 RF收发器—寄存器

18.1 寄存器列表

地址	寄存器名称	功能说明	复位值
0x20	PKTCTRL	数据包配置寄存器	0x5000
0x21	TRCTL	发送接收使能寄存器	0x0000
0x22	CHANNR	Channel 设置寄存器	0x1830
0x23	MISC0	配置寄存器 0	0x0300
0x24	FOCCFG	频率偏差补偿寄存器	0x4000
0x25	FREQBASE	起始频点设置寄存器	0x0962
0x28	THRES	阈值设置寄存器	0x2103
0x29	MISC1	配置寄存器 1	0x1800
0x2A	MISC2	配置寄存器 2	0xC07D
0x2C	CDTH	CD 阈值设置寄存器	0x8883
0x2D	RSSI	接收信号能量指示寄存器	-
0x2E	STATUS0	状态寄存器 0	-
0x30	STATUS1	状态寄存器 1	-
0x32	FIFO0DATA	FIFO0 访问寄存器	-
0x33	FIFO1DATA	FIFO1 访问寄存器	-
0x34	ACKFIFO0DATA	ACKFIFO0 访问寄存器	-
0x35	ACKFIFO1DATA	ACKFIFO1 访问寄存器	-
0x36	FIFO0CTRL	FIFO0 配置寄存器	0x008E
0x37	FIFO1CTRL	FIFO1 配置寄存器	0x008E
0x38	ACKFIFO0CTRL	ACKFIFO0 配置寄存器	0x0E80
0x39	ACKFIFO1CTRL	ACKFIFO1 配置寄存器	0x0E80
0x3A	FIFOSTATUS	FIFO 状态寄存器	-
0x3B	CLEAR	FIFO 指针寄存器	-
0x3C	PIPECTRL	PIPE 设置寄存器	0x3000
0x3D	INT	中断寄存器	-
0x40	P0ADDR0	PIPE0 地址低 16bits	0xE7E7
0x41	P0ADDR1	PIPE0 地址中间 16bits	0xE7E7
0x42	P0ADDR2	PIPE0 地址高 16bits	0xE7E7
0x43	P1ADDR0	PIPE1 地址低 16bits	0xC2C2
0x44	P1ADDR1	PIPE1 地址中间 16bits	0xC2C2
0x45	P1ADDR2	PIPE1 地址高 16bits	0xC2C2
0x46	P2ADDR	PIPE2 地址低 8bits	0xxx58
0x47	P3ADDR	PIPE3 地址低 8bits	0xxxA7

表 18-1 寄存器列表

18.2 寄存器说明

寄存器	数据包配置寄存器 PKTCTRL				
地址	0x20				
复位值	0x5000				
位名称	位	读写	位说明	1	0
PREAMBLE_LEN	15:13	R/W	Preamble 长度设置	000: 2bytes 001: 4bytes 010: 6 bytes ... 111: 16 bytes	
SYNCWORD_LEN	12:11	R/W	Syncword 长度设置	00: 16 bits 01: 32 bits 10: 48 bits 11: reserved	
TRAILER_LEN	10:8	R/W	Trailer 长度设置	000: 4bits 001: 6bits ... 111: 18 bits Trailer 长度=设置值*2 + 4(bits)	
PACK_TYPE	7:6	R/W	数据编码方式选择	00: NRZ law data 01: Manchester data type 10: 8bit/10bit line code 11: Interleave data type	
FEC_TYPE	5:4	R/W	FEC 功能使能位	00: NO FEC 10: FEC23 others: reserved	
-	3:0	-	-	-	

表 18-2 PKTCTRL 寄存器说明

寄存器	发送接收使能寄存器 TRCTL				
地址	0x21				
复位值	0x0000				
位名称	位	读写	位说明	1	0
-	15:9	-	-	-	
DBUS_TXEN	8	R/W	发送使能 (与接收使能不能同时为'1')	使能	不使能
DBUS_RXEN	7	R/W	接收使能 (与发送使能不能同时为'1')	使能	不使能
-	6:0	-	-	-	

表 18-3 TRCTL 寄存器说明

寄存器	Channel 设置寄存器 CHANNR				
地址	0x22				
复位值	0x1830				
位名称	位	读写	位说明	1	0
-	15:14	-	-		
REF_FQ	13:9	R/W	参考时钟的频率 (MHz)	12M 晶振: 01100 16M 晶振: 10000 20M 晶振: 10100	
-	8:7	-	-	-	
PLL_CH_NO	6:0	R/W	RF channel number	The on-air frequency: F = RF_FREQ_BASE + PLL_CH_NO	

表 18-4 CHANNR 寄存器说明

寄存器	配置寄存器 MISC0				
地址	0x23				
复位值	0x0300				
位名称	位	读写	位说明	1	0
PD_CTRL	15	R/W	POWER DOWN 模式使能信号 (RF 收发器进入 POWER DOWN 模式后寄存器状态 保持并可读写, 但 FIFO 不 可操作, 中断标志不可清。)	使能	不使能
SFT_RST	14	R/W	软件复位使能信号 (不复位寄存器值)	使能	不使能
-	13:12	-	-	-	
RE_TX_TIMES	11:8	R/W	PTX 自动重发次数 (ACK 功能使能后有效)	注: 设置值需大于 1	
MISO_TRI_OPT	7	R/W	SPI 片选为高电平时, MISO 引脚状态配置	MISO 引脚输出 使能	MISO 引脚输 出不使能, 为 高阻态
SCRAMBLE_DATA	6:0	R/W	扰码种子	-	

表 18-5 MISC0 寄存器说明

寄存器	频率偏差补偿寄存器 FOCCFG
地址	0x24

复位值	0x4000				
位名称	位	读写	位说明	1	0
PREAMBLE_NUM	15:12	R/W	接收检测 Preamble 长度	检测长度为 preamble_num*2 (bits)	
RF_FREQ_FRACTION	11:0	R/W	频率偏差补偿寄存器	详见 17.4 节	

表 18-6 FOCCFG 寄存器说明

寄存器	起始频点设置寄存器 FREQBASE				
地址	0x25				
复位值	0x0962				
位名称	位	读写	位说明	1	0
-	15:12	-	-	-	
RF_FREQ_BASE	11:0	R/W	起始频点设置(MHz)	射 频 工 作 频 率 范 围 为 2402~2483MHz，设置值需配合 PLL_CH_NO 寄存器设置值，使 工作频率在支持频段范围内。	

表 18-7 FREQBASE 寄存器说明

寄存器	阈值设置寄存器 THRES				
地址	0x28				
复位值	0x2103				
位名称	位	读写	位说明	1	0
EMPTY_THRES	15:11	R/W	FIFO0 半空阈值 (软件链路控制模式使用)	-	
FULL_THRES	10:6	R/W	FIFO0 半满阈值 (软件链路控制模式使用)	-	
SYNC_THRES	5:0	R/W	同步字允许错误个数阈值	-	

表 18-8 THRES 寄存器说明

寄存器	配置寄存器 MISC1				
地址	0x29				
复位值	0x1800				
位名称	位	读写	位说明	1	0
-	15	-	-	-	
CRC_SEL	14	R/W	CRC 选择控制	CRC8	CRC16
SCRAMBLE_ON	13	R/W	扰码功能使能位	使能	不使能
PACK_LENGTH_EN	12	R/W	链路控制模式选择	硬件链路控制	软件链路控制
FW_HW_TERM_EN	11	R/W	硬件链路控制模式下 PTX 发送停止模式配置	当 FIFO0 的读写指针相等时自动停止发送	由主控 MCU 决定发送关闭时刻
PKT_HINT_PORITY	10	R/W	中断引脚有效电平配置	低电平有效	高电平有效
-	9:8	-	-	-	
CRC_INIT_DATA	7:0	R/W	CRC 移位寄存器 初始值	-	

表 18-9 MISC1 寄存器说明

寄存器	配置寄存器 MISC2				
地址	0x2A				
复位值	0xC07D				
位名称	位	读写	位说明	1	0
RATE	15	R/W	发送速率选择	1Mbps	250Kbps
AFC_MCTRL	14	R/W	AFC 功能控制	使能	不使能
-	13:9	-	-		
ACKTIME_ADJUST_ON	8	R/W	AUTO_RX_ACK_TIME 寄存器设置时间乘 2	使能	不使能
AUTO_RX_ACK_TIME	7:0	R/W	在 ACK 使能情况下， PTX 由发送切换为接收 后等待 ACK 的时间。	等待 ACK 的时间为 寄存器设置值*1us @1Mbps 寄存器设置值*4us @250Kbps 推荐的设置值为 preamble_length(bits)+100@1Mbps preamble_length(bits)+52@250Kbps	

表 18-10 MISC2 寄存器说明

寄存器	CD 阈值设置寄存器 CDTH				
地址	0x2C				
复位值	0x8883				
位名称	位	读写	位说明	1	0
CD_TH1	15:8	R/W	CD 的高域值	详见 17.7 节	
CD_TH2	7:0	R/W	CD 的低域值		

表 18-11 CDTH 寄存器说明

寄存器	接收信号能量指示寄存器 RSSI				
地址	0x2D				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	-
RSSI	7:0	R	RSSI 值(dBm)	详见 17.6 节	

表 18-12 RSSI 寄存器说明

寄存器	状态寄存器 STATUS0				
地址	0x2E				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:12	-	-	-	-
PQT	11	R	Preamble 检测标志	发现有效 Preamble	未发现有效 Preamble
CD	10	R	carrier detect 标志	发现有效载波	未发现有效载波
FREQ_ESTIMATION	9:0	R	频率偏差的估计值	详见 17.4 节	

表 18-13 STATUS0 寄存器说明

寄存器	状态寄存器 STATUS1				
地址	0x30				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	-
PIPE_ADDR_MATCH	7	R	同步字接收成功标志 接收完成后硬件清'0'	同步成功	同步不成功
-	6	-	-	-	-
FSM_TX_STATE	5	R	状态机当前发送状态 指示位	状态机处于发送状态	状态机不处于发送状态
-	4:0	-	-	-	-

表 18-14 STATUS1 寄存器说明

寄存器	FIFO0 访问寄存器 FIFO0DATA				
地址	0x32				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	-
FIFO0DATA	7:0	R/W	FIFO0 访问寄存器 (MCU 芯片以 byte 为单位 访问 FIFO)	FIFO 读写操作详见 16.3.3 章节	

表 18-15 FIFO0DATA 寄存器说明

寄存器	FIFO1 访问寄存器 FIFO1DATA				
地址	0x33				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	-
FIFO1DATA	7:0	R/W	FIFO1 访问寄存器 (MCU 芯片以 byte 为单位 访问 FIFO)	FIFO 读写操作详见 16.3.3 章节	

表 18-16 FIFO1DATA 寄存器说明

寄存器	ACKFIFO0 访问寄存器 ACKFIFO0DATA				
地址	0x34				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	-
ACKFIFO0DATA	7:0	R/W	ACKFIFO0 访问寄存器 (MCU 芯片以 byte 为单位 访问 ACKFIFO)	FIFO 读写操作详见 16.3.3 章节	

表 18-17 ACKFIFO0DATA 寄存器说明

寄存器	ACKFIFO1 访问寄存器 ACKFIFO1DATA				
地址	0x35				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	-
ACKFIFO1DATA	15:0	R/W	ACKFIFO1 访问寄存器 (MCU 芯片以 byte 为单位 访问 ACKFIFO)	FIFO 读写操作详见 16.3.3 章节	

表 18-18 ACKFIFO1DATA 寄存器说明

寄存器	FIFO0 配置寄存器 FIFO0CTRL				
地址	0x36				
复位值	0x008E				
位名称	位	读写	位说明	1	0
PTX_FIFO0_FAIL	15	R	重发超时信号，用于区分发送中断置起时 PTX 状态（PTX 清 INTO 硬件自动清'0'）	重发超时	重发未超时
-	14	-	-	-	-
PRX_CRC_ERR0	13	R	PRX 接收存于 FIFO0 中的 PAYLOAD CRC 错误指示位	CRC 错误	CRC 正确
PRX_FEC23_ERR0	12	R	存于 FIFO0 的接收 PAYLOAD FEC2/3 错误指示位	FEC 错误	FEC 正确
PRX_FIFO0_PIPE	11:9	R	PRX 接收存于 FIFO0 中的 PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PRX_FIFO0_OCPY	8	R	PRX FIFO0 数据填写完成信号（清中断 INTO 后硬件清'0'）	PRX FIFO0 被占用	PRX FIFO0 未被占用
FIFO0_EN	7	R/W	FIFO0 使能位	使能	不使能
-	6:5	-	-	-	-
PTX_FIFO0_NOACK	4	R/W	告知 PRX 从 FIFO0 发送的 PAYLOAD 无需 ACK 控制位（ACK 功能使能时有效）	NOACK	ACK
PTX_FIFO0_PIPE	3:1	R/W	PTX FIFO0 中的 PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PTX_FIFO0_OCPY	0	R/W	PTX FIFO0 数据填写完成信号（软件清'0'）	PTX FIFO0 被占用	PTX FIFO0 未被占用

表 18-19 FIFO0CTRL 寄存器说明

寄存器	FIFO1 配置寄存器 FIFO1CTRL				
地址	0x37				
复位值	0x008E				
位名称	位	读写	位说明	1	0
PTX_FIFO1_FAIL	15	R	重发超时信号，用于区分发送中断置起时 PTX 状态（PTX 清 INT1 硬件自动清'0'）	重发超时	重发未超时
-	14	-	-	-	-
PRX_CRC_ERR1	13	R	PRX 接收存于 FIFO1 中的 PAYLOAD CRC 错误指示位	CRC 错误	CRC 正确
PRX_FEC23_ERR1	12	R	存于 FIFO1 的接收 PAYLOAD FEC2/3 错误指示位	FEC 错误	FEC 正确
PRX_FIFO1_PIPE	11:9	R	PRX 接收存于 FIFO1 中的 PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PRX_FIFO1_OCPY	8	R	PRX FIFO1 数据填写完成信号（清中断 INT1 后硬件清'0'）	PRX FIFO1 被占用	PRX FIFO1 未被占用
FIFO1_EN	7	R/W	FIFO1 使能位	使能	不使能
-	6:5	-	-	-	-
PTX_FIFO1_NOACK	4	R/W	告知 PRX 从 FIFO1 发送的 PAYLOAD 无需 ACK 控制位（ACK 功能使能时有效）	NOACK	ACK
PTX_FIFO1_PIPE	3:1	R/W	PTX FIFO1 中的 PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PTX_FIFO1_OCPY	0	R/W	PTX FIFO1 数据填写完成信号（软件清'0'）	PTX FIFO1 被占用	PTX FIFO1 未被占用

表 18-20 FIFO1CTRL 寄存器说明

寄存器	ACKFIFO0 配置寄存器 ACKFIFO0CTRL				
地址	0x38				
复位值	0x0E80				
位名称	位	读写	位说明	1	0
-	15:12	-	-	-	
PRX_ACKFIFO0_PIPE	11:9	R/W	PRX ACKFIFO0 中 ACK PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PRX_ACKFIFO0_OCPY	8	R/W	PRX ACKFIFO0 数据填 写完成信号（软件清'0'）	PRX ACKFIFO0 被占用	PRX ACKFIFO0 未被占用
ACKFIFO0_EN	7	R/W	ACKFIFO0 使能位	使能	不使能
-	6:5	-	-	-	
PTX_ACKCRC_ERR0	4	R	PTX 接收存于 ACKFIFO0 的 ACK PAYLOAD CRC 错误指示位	CRC 错误	CRC 正确
PTX_ACKFIFO0_PIPE	3:1	R	PTX 接收存于 ACKFIFO0 中 ACK PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PTX_ACKFIFO0_OCPY	0	R	PTX ACKFIFO0 数据填写完成信号 （清中断 ACK_INT0 后 硬件清'0'）	PTX ACKFIFO0 被占用	PTX ACKFIFO0 未被占用

表 18-21 ACKFIFO0CTRL 寄存器说明

寄存器	ACKFIFO1 配置寄存器 ACKFIFO1CTRL				
地址	0x39				
复位值	0x0E80				
位名称	位	读写	位说明	1	0
-	15:12	-	-	-	
PRX_ACKFIFO1_PIPE	11:9	R/W	PRX ACKFIFO1 中 ACK PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PRX_ACKFIFO1_OCPY	8	R/W	PRX ACKFIFO1 数据填 写完成信号（软件清'0'）	PRX ACKFIFO1 被占用	PRX ACKFIFO1 未被占用
ACKFIFO1_EN	7	R/W	ACKFIFO1 使能位	使能	不使能
-	6:5	-	-	-	
PTX_ACKCRC_ERR1	4	R	PTX 接收存于 ACKFIFO1 的 ACK PAYLOAD CRC 错误指示位	CRC 错误	CRC 正确
PTX_ACKFIFO1_PIPE	3:1	R	PTX 接收存于 ACKFIFO1 中 PAYLOAD 数据 所属的 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PTX_ACKFIFO1_OCPY	0	R	PTX ACKFIFO1 数据填写完成信号 （清中断 ACK_INT1 后 硬件清'0'）	PTX ACKFIFO1 被占用	PTX ACKFIFO1 未被占用

表 18-22 ACKFIFO1CTRL 寄存器说明

寄存器	FIFO 状态寄存器 FIFOSTATUS				
地址	0x3A				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:10	-	-	-	
FIFO0_HALF_FULL	9	R	接收 FIFO0 半满指示位	半满	未半满
FIFO0_HALF_EMPTY	8	R	发送 FIFO0 半空指示位	半空	未半空
-	7:6	-	-	-	
ACKFIFO1_OCPY	5	R	ACKFIFO1 状态指示位	ACKFIFO1 被占用	ACKFIFO1 未被占用
ACKFIFO0_OCPY	4	R	ACKFIFO0 状态指示位	ACKFIFO0 被占用	ACKFIFO0 未被占用
FIFO1_OCPY	3	R	FIFO1 状态指示位	FIFO1 被占用	FIFO1 未被占用
FIFO0_OCPY	2	R	FIFO0 状态指示位	FIFO0 被占用	FIFO0 未被占用
-	1:0	-	-	-	

表 18-23 FIFOSTATUS 寄存器说明

寄存器	FIFO 指针寄存器 CLEAR				
地址	0x3B				
复位值	-				
位名称	位	读写	位说明	1	0
CLR_W_PTR	15	W	FIFO 写指针清'0'信号 (不可在接收 PAYLOAD 时使用)	FIFO 写指针清'0'	无效操作
CLR_W_ACKPTR	14	W	ACKFIFO 写指针清'0'信号 (不可在接收 ACK PAYLOAD 时使用)	ACK FIFO 写指针清'0'	无效操作
FIFO0_WR_PTR	13:8	R	FIFO0 写指针	-	
CLR_R_PTR	7	W	FIFO 读指针清'0'信号 (不可在发送 PAYLOAD 时使用)	FIFO 读指针清'0'	无效操作
CLR_R_ACKPTR	6	W	ACK FIFO 读指针清'0'信号 (不可在发送 ACK PAYLOAD 时使用)	ACK FIFO 读指针清'0'	无效操作
FIFO0_RD_PTR	5:0	R	FIFO0 读指针	-	

表 18-24 CLEAR 寄存器说明

寄存器	PIPE 设置寄存器 PIPECTRL				
地址	0x3C				
复位值	0x3000				
位名称	位	读写	位说明	1	0
P3_EN	15	R/W	PIPE3 使能信号	使能	不使能
P2_EN	14	R/W	PIPE2 使能信号	使能	不使能
P1_EN	13	R/W	PIPE1 使能信号	使能	不使能
P0_EN	12	R/W	PIPE0 使能信号	使能	不使能
-	11:8	-			
P3_ACKPAYLOAD_EN	7	R/W	PIPE3 ACK 带 PAYLOAD 使能信号	使能	不使能
P2_ACKPAYLOAD_EN	6	R/W	PIPE2 ACK 带 PAYLOAD 使能信号	使能	不使能
P1_ACKPAYLOAD_EN	5	R/W	PIPE1 ACK 带 PAYLOAD 使能信号	使能	不使能
P0_ACKPAYLOAD_EN	4	R/W	PIPE0 ACK 带 PAYLOAD 使能信号	使能	不使能
P3_ACK_EN	3	R/W	PIPE3 ACK 使能信号	使能	不使能
P2_ACK_EN	2	R/W	PIPE2 ACK 使能信号	使能	不使能
P1_ACK_EN	1	R/W	PIPE1 ACK 使能信号	使能	不使能
P0_ACK_EN	0	R/W	PIPE0 ACK 使能信号	使能	不使能

表 18-25 PIPECTRL 寄存器说明

寄存器	中断寄存器 INT				
地址	0x3D				
复位值	-				
位名称	位	读写	位说明	1	0
ACKINT1_CLR	15	W	ACKINT1 标志位 清'0'信号	清'0'	无效操作
ACKINT1_PID	14:13	R	ACKINT1 为'1'时 PID 指示位	PTX: 指示当 ACKINT1 为'1'时, ACKFIFO1 接收到的 ACK PAYLOAD 所对应的 PID。 PRX: 指示当 ACKINT1 为'1'时, ACKFIFO1 上一次成功发送的 ACK PAYLOAD 所对应的 PID。	
ACKINT1	12	R	ACKFIFO1 中断标志位 PTX: ACKFIFO1 接 ACK PAYLOAD 后置'1'。 PRX: PRX 在接收到新包的 PID 发生变化时置'1'。 表明前一次从 ACKFIFO1 中发送的 ACK PAYLOAD 发送成功。 (具体详见 16.2 节)	发生中断	未发生中断
ACKINT0_CLR	11	W	ACKINT0 标志位 清'0'信号	清'0'	无效操作
ACKINT0_PID	10:9	R	ACKINT0 为'1'时 PID 指示位	PTX: 指示当 ACKINT0 为'1'时, ACKFIFO0 接收到的 ACK PAYLOAD 所对应的 PID。 PRX: 指示当 ACKINT0 为'1'时, ACKFIFO0 上一次成功发送的 ACK PAYLOAD 所对应的 PID。	
ACKINT0	8	R	ACKFIFO0 中断标志位 PTX: ACKFIFO0 接 ACK PAYLOAD 后置'1'。 PRX: PRX 在接收到新包的 PID 发生变化时置'1'。 表明前一次从 ACKFIFO0 中发送的 ACK PAYLOAD 发送成功。 (具体详见 16.2 节)	发生中断	未发生中断
INT1_CLR	7	W	INT1 标志位清'0'信号	清'0'	无效操作
			PTX 从 FIFO1 发包之后接收的 ACK PAYLOAD 存放		

FIFO1_ACK_POS	6	R	的 ACK FIFO (只针对 PTX, 并且 ACKINT1 = '1', ACKINT1_W_ACKPAY = '1'时有效)	ACKFIFO1	ACKFIFO0
ACKINT1_W_ACKPAY	5	R	ACKINT1 是否带 ACK PAYLOAD 指示位 (只针对 PTX, 并且 ACKINT1 = '1'时有效)	ACK 带 PAYLOAD	ACK 不带 PAYLOAD
INT1	4	R	FIFO1 中断标志位 PTX:发送完成或发送超时 PRX:接收完成、发送 ACK 完成或 SFD 匹配。 (具体详见 16.2 节)	发生中断	未发生中断
INT0_CLR	3	W	INT0 标志位清'0'信号	清'0'	无效操作
FIFO0_ACK_POS	2	R	PTX 从 FIFO0 发包之后接 收的 ACK PAYLOAD 存放 的 ACK FIFO (只针对 PTX, 并且 ACKINT0 = '1', ACKINT0_W_ACKPAY = '1'时有效)	ACKFIFO1	ACKFIFO0
ACKINT0_W_ACKPAY	1	R	ACKINT0 是否带 ACK PAYLOAD 指示位 (只针对 PTX, 并且 ACKINT0 = '1'时有效)	ACK 带 PAYLOAD	ACK 不带 PAYLOAD
INT0	0	R	FIFO0 中断标志位 PTX:发送完成或发送超时 PRX:接收完成、发送 ACK 完成或 SFD 匹配。 (具体详见 16.2 节)	发生中断	未发生中断

表 18-26 INT 寄存器说明

寄存器名称	PIPE0 地址寄存器 P0ADDR0				
地址	0x40				
复位值	0xE7E7				
位名称	位	读写	位说明	1	0
P0_ADDR[15:0]	15:0	R/W	PIPE0 syncword 地址	-	

表 18-27 P0ADDR0 寄存器说明

寄存器名称	PIPE0 地址寄存器 P0ADDR1				
地址	0x41				
复位值	0xE7E7				
位名称	位	读写	位说明	1	0
P0_ADDR[31:16]	15:0	R/W	PIPE0 syncword 地址	-	

表 18-28 P0ADDR1 寄存器说明

寄存器名称	PIPE0 地址寄存器 P0ADDR2				
地址	0x42				
复位值	0xE7E7				
位名称	位	读写	位说明	1	0
P0_ADDR[47:32]	15:0	R/W	PIPE0 syncword 地址	-	

表 18-29 P0ADDR2 寄存器说明

寄存器名称	PIPE1 地址寄存器 P1ADDR0				
地址	0x43				
复位值	0xC2C2				
位名称	位	读写	位说明	1	0
P1_ADDR[15:0]	15:0	R/W	PIPE1 syncword 地址	-	

表 18-30 P1ADDR0 寄存器说明

寄存器名称	PIPE1 地址寄存器 P1ADDR1				
地址	0x44				
复位值	0xC2C2				
位名称	位	读写	位说明	1	0
P1_ADDR[31:16]	15:0	R/W	PIPE1 syncword 地址	-	

表 18-31 P1ADDR1 寄存器说明

寄存器名称	PIPE1 地址寄存器 P1ADDR2				
地址	0x45				
复位值	0xC2C2				
位名称	位	读写	位说明	1	0
P1_ADDR[47:32]	15:0	R/W	PIPE1 syncword 地址	-	

表 18-32 P1ADDR2 寄存器说明

寄存器名称	PIPE2 地址寄存器 P2ADDR				
地址	0x46				
复位值	0xxx58				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	
P2_ADDR[7:0]	7:0	R/W	PIPE2 syncword 地址低 8 位。 PIPE2 地址总长度可通过寄存器 SYNCWORD_LEN 配置： 16bit : {P1_ADDR[15:8],P2_ADDR} 32bit : {P1_ADDR[31:8],P2_ADDR} 48bit : {P1_ADDR[47:8],P2_ADDR}	-	

表 18-33 P2ADDR 寄存器说明

寄存器名称	PIPE3 地址寄存器 P3ADDR				
地址	0x47				
复位值	0xxxA7				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	
P3_ADDR[7:0]	7:0	R/W	PIPE3 syncword 地址低 8 位。 PIPE3 地址总长度可通过寄存器 SYNCWORD_LEN 配置： 16bit : {P1_ADDR[15:8],P3_ADDR} 32bit : {P1_ADDR[31:8],P3_ADDR} 48bit : {P1_ADDR[47:8],P3_ADDR}	-	

表 18-34 P3ADDR 寄存器说明

第 19 章 RF收发器—术语解释

RF 收发器的术语，请参考下表：

Term	Description
ACK	Acknowledgement
ART	Auto Re-Transmit
PTX	Primary TX
PRX	Primary RX
TX	Transmit
RX	Receive
ISM	Industrial-Scientific-Medical
GFSK	Gaussian Frequency Shift Keying
PID	Packet Identity Bits
CE	Chip Enable
IRQ	Interrupt Request
CSN	Chip Select NOT
SCK	Serial Clock
MOSI	Master Out Slave In
MISO	Master In Slave Out

表 19-1 术语解释

第 20 章 封装尺寸图

20.1 SSOP24 封装尺寸图

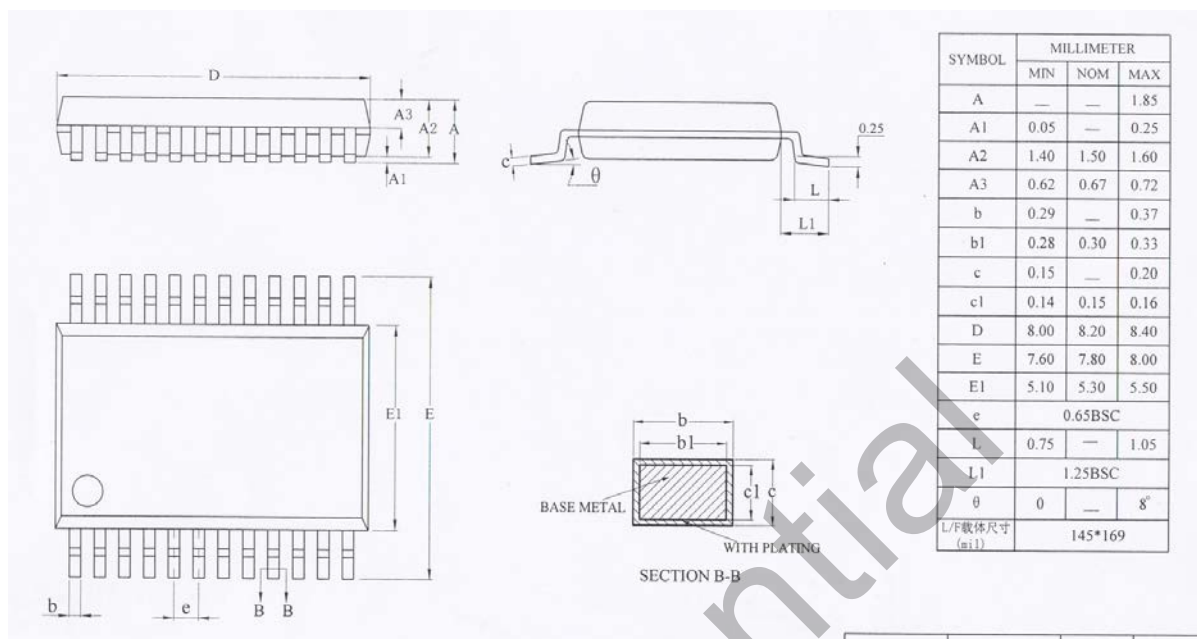
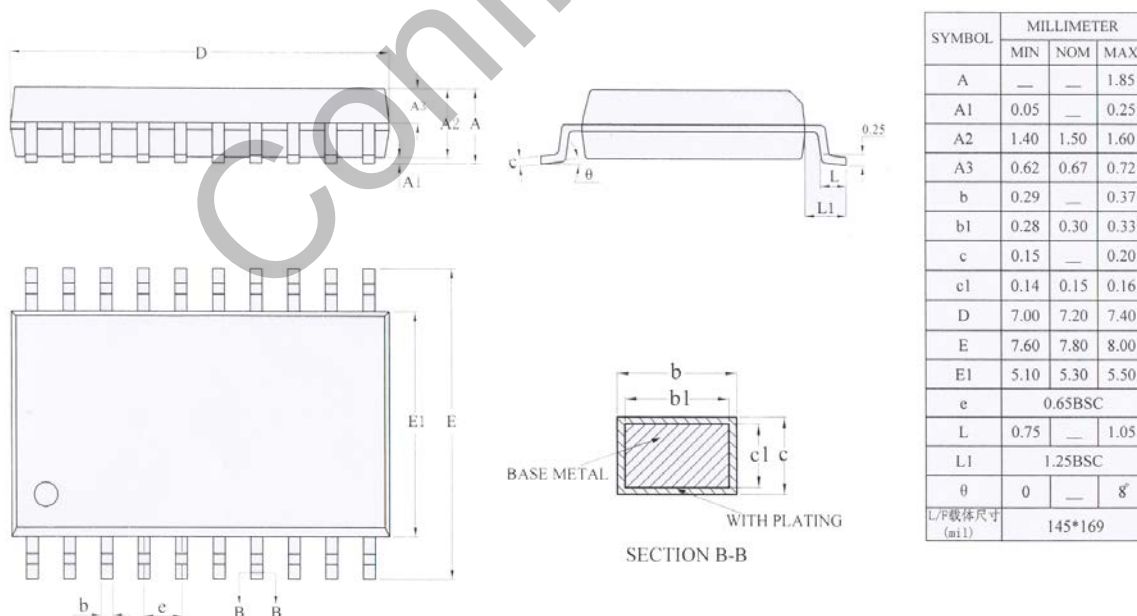


图 21-1 SSOP24 封装图

20.2 SSOP20 封装尺寸图



第 21 章 典型应用原理图

21.1 SSOP24 封装典型应用原理图

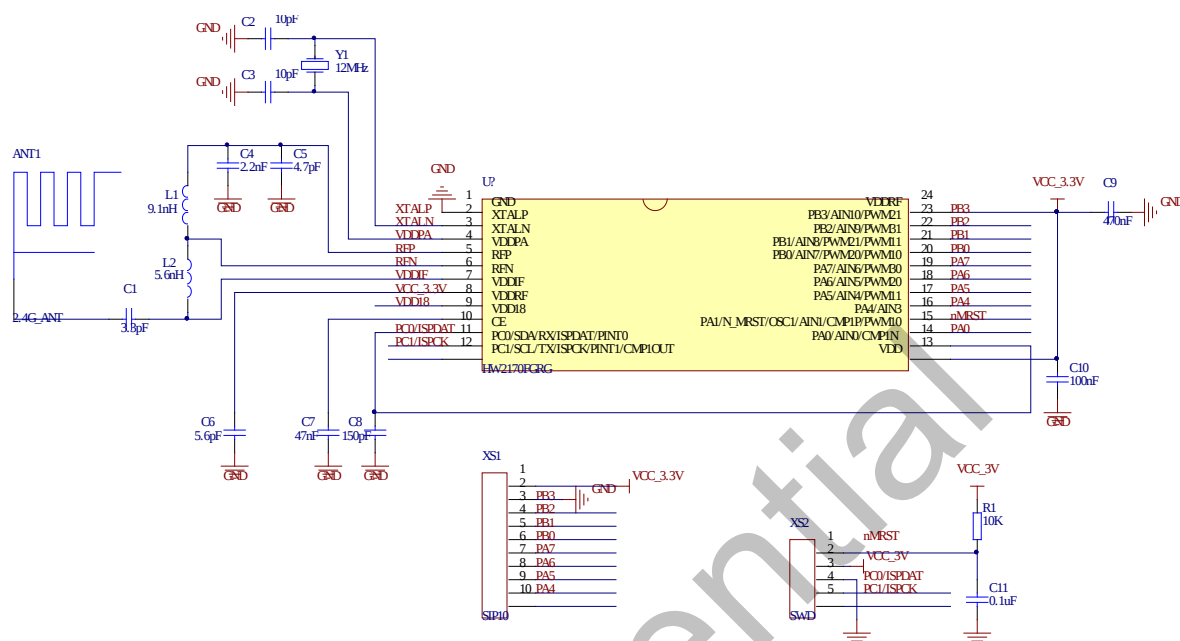


图 22-1 典型应用原理图(SSOP24)

21.2 SSOP20 封装典型应用原理图

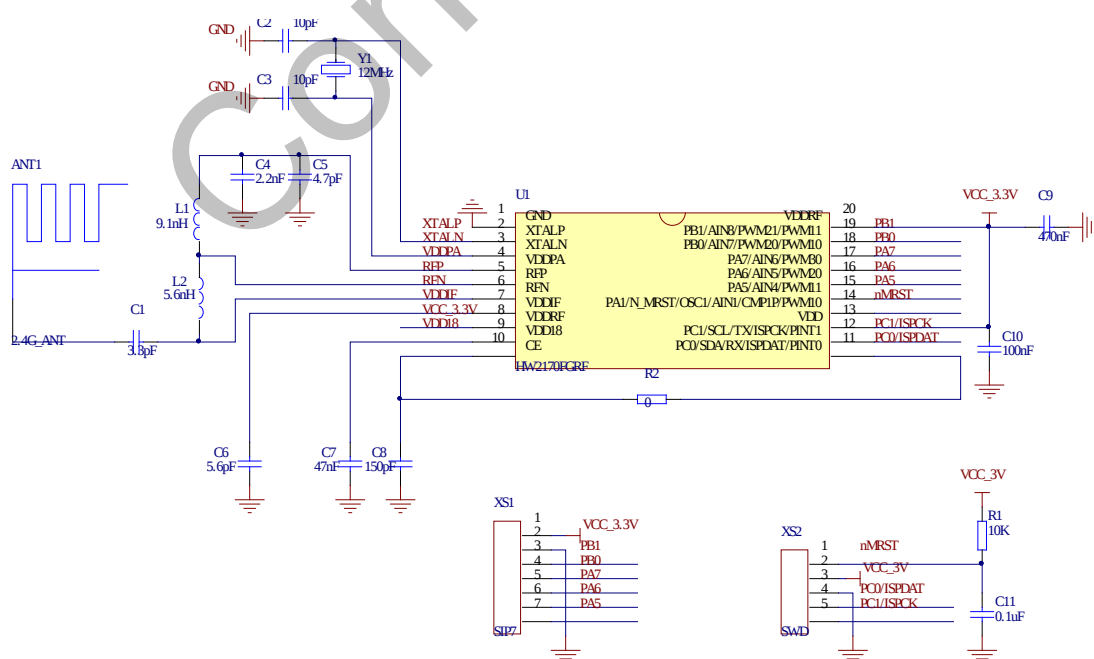


图 22-2 典型应用原理图(SSOP20)

21.3 设计应用注意事项

(1) RF 收发器的 CE 脚应该和 MCU 的一个 GPIO 相连，图 22-1 选择与 PA0 相连，用户可以根据实际应用需求，和其它的 GPIO 相连。图 22-2 由于 IO 口资源受限，通过 0 欧姆电阻和 PC0 相连，在仿真时可以断开。如果 IO 不够用，CE 端也可以直接和 VCC_3.3V 相连，拉成高电平。不过，如果 CE 直接拉高，则无法对 RF 收发器进行全局复位（关于复位，请参考 18.1 小节——“RF 收发器复位”）。CE 脚外接的 150pF 电容，用于滤除外部干扰，可根据实际应用来调整电容值。

(2) 芯片内部 RF 和 MCU 的电源分别是 VDDRF 和 VDD，二者在内部是不连的，所以必须外部连接到电源端。

(3) 另外，需要注意的是，由于 MCU 复位唤醒时间比 RF 复位唤醒时间短，所以，MCU 复位唤醒后需要进行适当延时，再对 RF 收发器进行 SPI 操作。

Confidential

第 22 章 电气特性

22.1 芯片操作条件

参数	符号	条件	标称值	单位
电源电压	VDD	—	-0.3 ~ 3.6	V
输入电压	V _{IN}	—	-0.3 ~ VDD + 0.3	V
输出电压	V _{OUT}	—	-0.3 ~ VDD + 0.3	V
存储温度	T _{STG}	—	-55 ~ 125	°C
操作温度	T _{OPR}	VDD: 2.5 ~3.6V	-40 ~ 85	°C

22.2 MCU电气特性

22.2.1 功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
VDD 供电电压	VDD	2.5	—	3.6	V	-40°C ~ 85°C
MCU 静态电流	I _{DD}	—	500	—	uA	25°C, VDD = 3.3V, BOR 不使能, 所有的 I/O 端口输入低电平, N_MRST = 0, OSC1 = 0, OSC2 悬空。
MCU-IDLE0 休眠模式下芯片电流	I _{PD1}	—	5	—	μA	25 °C , VDD = 3.3V , BOR 使能, WDT 使能。
MCU 正常运行模式芯片电流	I _{OP1}	—	2	—	mA	25°C, VDD = 3.6V, 正常运行模式, 内部 16MHz 时钟, I/O 端口输出固定电平, 无负载。
	I _{OP2}	—	3.5	—	mA	25°C, VDD = 3.3V, 正常运行模式, 外部 HS 模式下 16MHz 时钟, I/O 端口输出固定电平, 无负载。
VDD 管脚的最大输入电流	I _{MAXVDD}	—	80	—	mA	25°C, VDD = 3.3V
VSS 管脚的最大输出电流	I _{MAXVSS}	—	200	—	mA	25°C, VDD = 3.3V
I/O 端口灌电流	I _{OL}	—	20	—	mA	25°C, VDD = 3.3V V _{OL} = 0.6V
I/O 端口拉电流	I _{OH}	—	8	—	mA	25°C, VDD = 3.3V V _{OH} = 3V

22. 2. 2 电平特性

芯片工作温度范围: -40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口输入高电平 (有施密特输入特性)	V_{IH}	0.8VDD	—	VDD	V	2.5V ≤ VDD ≤ 3.6V
主复位信号 N_MRST 输入高电平 (有施密特输入特性)		0.8VDD	—	VDD	V	
I/O 端口输入低电平	V_{IL}	VSS	—	0.18VDD	V	
主复位信号 N_MRST 输入低电平		VSS	—	0.20VDD	V	
I/O 端口输入漏电流	I_{IL}	—	—	±1	μA	2.5V ≤ VDD ≤ 3.6V VSS ≤ Vpin ≤ VDD (端口处于高阻状态)
主复位端口漏电流		—	—	5	μA	VSS ≤ Vpin ≤ VDD
I/O 端口输入弱上拉电 流	I_{WPU}	—	300	—	μA	25℃, VDD=3.3V Vpin = VSS
I/O 端口输入弱下拉电 流	I_{WPD}	—	300	—	μA	25℃, VDD=3.3V Vpin = VDD
I/O 输入端口 VDD/2 输 出	$V_{VDD/2}$	—	+3%	—		25℃, VDD=3.3V, 弱上拉和弱下拉同 时使能

22. 2. 3 芯片输出端口特性表

芯片工作温度范围: -40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口输出高电平	V_{OH}	VDD-0.7	—	—	V	2.5V ≤ VDD ≤ 3.6V $I_{OH} = 6.0 \text{ mA}$
I/O 端口输出低电平	V_{OL}	—	—	0.6	V	2.5V ≤ VDD ≤ 3.6V $I_{OL} = 12 \text{ mA}$

22. 2. 4 系统时钟要求表

参数	符号	最小值	典型值	最大值	单位	测试条件
----	----	-----	-----	-----	----	------

系统时钟频率	F_{OSC}	—	—	20M	Hz	$2.5V \leq VDD \leq 3.6V$
系统时钟周期	T_{OSC}	62.5	—	—	ns	$2.5V \leq VDD \leq 3.6V$
机器周期	T_{inst}	125	—	—	ns	—
外部时钟高电平和低电平时间	T_{OSL}, T_{OSH}	15	—	—	ns	—
外部时钟上升和下降时间	T_{OSR}, T_{OSF}	—	—	15	ns	—
WDT 溢出时间 (不分频)	T_{WDT}	2.4 (9.6KHz)	8 (32KHz)	13.6 (54KHz)	ms	$2.5V \leq VDD \leq 3.6V$ -40°C ~ 85°C

22. 2. 5 ADC特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
电源电压	VDD	4	—	3.6	V	ADHSEN=1 (高速)
		2.5	—	3.6	V	ADHSEN=0 (低速)
分辨率	R_R	—	—	12	bit	—
差分线性度	DNL	—	—	± 2	LSB	—
积分线性度	INL	—	—	± 2	LSB	—
失调误差	E_{OFF}	0.5	1	—	LSB	—
参考电压	V_{REF}	—	—	VDD	V	—
模拟输入电压	V_{ADIN}	—	—	V_{REF}	V	—
输入电容	C_{ADIN}	—	—	40	Pf	—
输入电阻	R_{ADIN}	—	—	10	K Ω	—
转换时钟频率	F_{ADCLK} (高速)	—	—	16	MHz	ADHSEN=1
	F_{ADCLK} (低速)	—	—	2	MHz	ADHSEN=0
转换时间 (不包括采样时间)	T_{ADC}	—	13	—	Tadclk	—
采样时间	T_{ADS} 高速	1	—	—	us	ADHSEN=1
	T_{ADS} 低速	8	—	—		ADHSEN=0

22. 2. 6 ADC转换时间对照表

A/D 时钟源选择	工作频率			
	16M	8M	4M	1M
Fosc	不推荐使用	不推荐使用	不推荐使用	$T_{ADCLK} = 1us$
Fosc/2	不推荐使用	不推荐使用	$T_{ADCLK} = 0.5us$	$T_{ADCLK} = 2us$
Fosc/4	不推荐使用	$T_{ADCLK} = 0.5us$	$T_{ADCLK} = 1us$	$T_{ADCLK} = 4us$
Fosc/8	$T_{ADCLK} = 0.5us$	$T_{ADCLK} = 1us$	$T_{ADCLK} = 2us$	$T_{ADCLK} = 8us$

Fosc/16	T _{ADCLK} = 1us	T _{ADCLK} = 2us	T _{ADCLK} = 4us	T _{ADCLK} = 16us
Fosc/32	T _{ADCLK} = 2us	T _{ADCLK} = 4us	T _{ADCLK} = 8us	T _{ADCLK} = 32us
Fosc/64	T _{ADCLK} = 4us	T _{ADCLK} = 8us	T _{ADCLK} = 16us	T _{ADCLK} = 64us

22.2.7 参考电压特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
电源电压	VDD	2.5	—	3.6	V	—
内部参考电压输出 VREF/ADVREF	V _{REF} /V _{ADREF}	—	2.5	—	V	—

22.2.8 内部 16MHz 时钟校准性表

参数	符号	最小值	典型值	最大值	单位	测试条件
内部 16MHz 时钟频率	F _{intosc}	15.68	16	16.32	MHz	25℃, VDD = 3.3V
		15.52	16	16.48	MHz	-40℃~85℃, VDD=2.5V~3.6V

22.3 RF收发器电气特性

22.3.1 功耗参数

测试条件: Typ.为常温测得的数据; Min.和 Max.为全温度, 全电压范围内测得的最小值和最大值						
符号	参数	Min.	Typ.	Max.	Units	
VDDRF	VDDRF 供电电压	2.0	3.0	3.6	V	
	低功耗模式					
I _{VDD_PD}	POWER DOWN 模式芯片电流	1	1.5	10	uA	
I _{VDD_Sleep}	SLEEP 模式芯片电流	-	15	-	uA	
I _{VDD_Idle}	IDLE 模式芯片电流	-	2	-	mA	
	TX 模式					
I _{VDD_TX8}	输出功率为 8dBm 时的电流	-	30	-	mA	
I _{VDD_TX4}	输出功率为 4dBm 时的电流	-	24	-	mA	
I _{VDD_TX0}	输出功率为 0dBm 时的电流	-	19	-	mA	
I _{VDD_TX6N}	输出功率为-6dBm 时的电流	-	15	-	mA	
I _{VDD_TX12N}	输出功率为-12dBm 时的电流	-	14	-	mA	
I _{VDD_TX20N}	输出功率为-20dBm 时的电流	-	13	-	mA	
I _{VDD_TX35N}	输出功率为-35dBm 时的电流	-	11	-	mA	
	RX 模式					

I_{VDD}	接收机高灵敏度时的电流@1M/250Kbps	-	22	-	mA
I_{VDD}	接收机低灵敏度时的电流@1M/250Kbps (该模式下灵敏度下降约 6dB)	-	16	-	mA

22.3.2 通讯基本参数

符号	参数	Min.	Typ.	Max.	Units
F_{OP}	工作频段	2300	-	2500	MHz
PLL_{res}	PLL 可配置频率	2300	-	2500	MHz
F_{XTAL}	振荡器频率	12	12	20	MHz
Δf_{1M}	频偏 @ 1Mbps	-	250	-	KHz
Δf_{250K}	频偏 @ 250Kbps	-	250	-	KHz
R_{GFSK}	基带数据速率	250	-	1000	Kbps
F_{CH1M}	非重叠带间距 @ 1Mbps	-	1	-	MHz
F_{CH250K}	非重叠带间距 @ 250Kbps	-	0.25	-	MHz

22.3.3 发射机参数

符号	参数	Min.	Typ.	Max.	Units
P_{RF}	最大输出功率	-	6	8	dBm
P_{RFC}	RF 发射机输出功率可调范围	-35	-	8	dBm
P_{RFC}	RF 发射机输出功率可调精度	-	1	2	dB

22.3.4 接收机参数

符号	参数	Min.	Typ.	Max.	Units
RX_{max}	BER<0.1%时最大接收信号能量	-20	-	-10	dBm
RX_{SENS}	灵敏度 (0.1%BER) @1Mbps	-	-91	-	dBm
RX_{SENS}	灵敏度 (0.1%BER) @250Kbps	-	-96	-	dBm
C/I_{CO}	同频信号 C/I (@1Mbps)	-	-	10	dB
C/I_{1ST}	1 st 邻道抑制 C/I 1MHz	-25	-	-	dB
C/I_{2ND}	2 nd 邻道抑制 C/I 2MHz	-27	-	-	dB
C/I_{3RD}	3 rd 邻道抑制 C/I 3MHz	-36	-	-	dB
C/I_{CO}	同频信号 C/I (@250Kbps)	-	-	6	dB
C/I_{1ST}	1 st 邻道抑制 C/I 1MHz	-25	-	-	dB
C/I_{2ND}	2 nd 邻道抑制 C/I 2MHz	-27	-	-	dB
C/I_{3RD}	3 rd 邻道抑制 C/I 3MHz	-41	-	-	dB

22.3.5 振荡器参数

符号	参数	Min.	Typ.	Max.	Units
----	----	------	------	------	-------

F_{xo}	晶振频率	12	12	20	MHz
ΔF	晶振频偏	-	20	60	ppm

22. 3. 6 振荡器参数

符号	参数	Min.	Typ.	Max.	Units
T_{Stol}	芯片从 SLEEP 模式进入 IDLE 模式时间	-	5	-	μs
T_{Ptol}	芯片从 POWER DOWN 模式进入 IDLE 模式时间	-	900	-	μs
T_{AFset}	芯片使能发送或接收后射频前端建立时间	-	250	-	μs
T_{TxtoRx}	芯片发送数据包完成后切换为接收 ACK 状态射频前端建立时间 (ACK 使能)	-	250	-	μs
T_{RxtoTx}	芯片接收数据包完成后切换为发送 ACK 状态射频前端建立时间 (ACK 使能)	-	250	-	μs